

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-332798
(43)Date of publication of application : 30.11.2000

(51)Int.Cl.

H04L 12/40

(21)Application number : 11-139137

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.05.1999

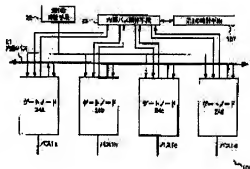
(72)Inventor : HAMAMOTO YASUO
TAKEDA HIDETOSHI

(54) PACKET TRANSFER DEVICE AND DATA STORAGE MEDIUM

(57)Abstract:

PROBLEM TO BE SOLVED: To enable isochronous packet transfer between devices by connecting an internal bus to multiple external buses and providing multiple gate nodes, which send and receive isochronous packets between the external and internal buses and a synchronizing means which synchronizes the reference time of the external bus between the external buses sending and receiving the isochronous packets.

SOLUTION: This packet transfer device 100 has an internal bus 21 having an isochronous packet transfer function between different external buses, gate nodes 24a to 24d which send and receive isochronous packets to and from external buses 1a to 1d an internal bus 21, 1st and 2nd timer means 22 and 107 which outputs absolute time and arbitration cycles, and an internal bus arbitrating means 23 which equally arbitrate requests to use the internal buses 21 from the gate nodes 24a to 24d. Consequently, the reference time among the external buses 1 which send and receive the isochronous packets is synchronized.



LEGAL STATUS

[Date of request for examination]	23.05.2002
[Date of sending the examiner's decision of rejection]	18.01.2005
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3676618
[Date of registration]	13.05.2005
[Number of appeal against examiner's decision of rejection]	2005-002820
[Date of requesting appeal against examiner's decision of rejection]	17.02.2005
[Date of extinction of right]	

JP2000332798A2: PACKET TRANSFER DEVICE AND DATA STORAGE MEDIUM

Derwent Title: Packet forwarding apparatus has gate node which synchronizes standard timing of external buses, while forwarding packet from inner to external buses

Country: JP Japan

Kind: A2 Document Laid open to Public inspection ' (See also: JP03676618B2)

Inventor: HAMAMOTO YASUO;
TAKEDA HIDETOSHI;

Published 2000-11-30 / 1999-05-19
/ Filed:



[View](#)

[Image](#)

1 page

Family:	PDF	Publication	Pub. Date	Filed	Title
		JP2000332798A2	2000-11-30	1999-05-19	PACKET TRANSFER DEVICE AND DATA STORAGE MEDIUM
		JP03676618B2	2005-07-27	1999-05-19	

2 family members shown above

[JP2000-332798,A]

NOTICES

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The inside of the 1st which has transmission function of isochronous packet to n-th (n is the two or more natural numbers) external bus, It is equipment which transmits an isochronous packet to the k-th (k is the natural number of arbitration of 1 to n) external bus of arbitration from the j-th (j is the natural number of 1 to n) external bus of arbitration. Each n-th external bus is connected from the internal bus to which the isochronous packet from the j-th external bus to the k-th external bus of arbitration of arbitration is transmitted, the above-mentioned internal bus, and the above 1st. Between one's external bus and the above-mentioned internal bus From the 1st which transmits and receives an isochronous packet between the n-th (n is the two or more natural numbers) gate node and the k-th external bus of the j-th and arbitration of the arbitration which performs transmission and reception of an isochronous packet Packet transfer equipment characterized by having a synchronous means to synchronize the criteria time of day of an external bus.

[Claim 2] In packet transfer equipment according to claim 1 the n-th gate node from the above 1st The 1st packet-sending-and-receiving means which transmits and receives the packet from its external bus and above-mentioned internal bus, A time stamp judging means to judge whether the time stamp is contained in the received isochronous packet, A time stamp location detection means to detect the location of the above-mentioned time stamp, A time stamp offset means to be based on the positional information of the detected above-mentioned time stamp, and to add or subtract an offset value to a time stamp, An internal bus header addition means to add the 2nd header including the destination or the information on the source, and the information used for transmission and reception with an internal bus to an isochronous packet, The 1st memory means which stores the isochronous packet which added the 2nd header of the above, The 1st read-out control means which predicts the 2nd header added to the isochronous packet stored in the memory means of the above 1st, and controls the transfer of an isochronous packet to an internal bus from the 1st memory means, Packet transfer equipment characterized by transmitting the isochronous packet which ****(ed) and received from its external bus to an internal bus.

[Claim 3] In packet transfer equipment according to claim 1 or 2 the n-th gate node from the above 1st A packet selection means to choose a specific packet from the isochronous packet which flows an internal bus, and to receive, A register means to hold the channel number for sending out the isochronous packet which received to one's external bus, The header rewriting means which rewrites the packet header of the isochronous packet which received based on the output from the above-mentioned register means, The 2nd memory means which stores the isochronous packet by which the above-mentioned packet header was rewritten, The number of cycles contained in the 2nd header of the above and the offset value included in a time stamp are added. This added value, The isochronous packet stored in a number comparison means of cycles

to measure the criteria cycle of an external bus, and the memory means of the above 2nd is predicted. Packet transfer equipment characterized by transmitting the isochronous packet which has the 2nd read-out control means which controls a transfer of the isochronous packet from the 2nd memory means to its external bus, and received from the internal bus to one's external bus.

[Claim 4] the bus criteria time of day when the above-mentioned synchronous means synchronizes the time amount of the above-mentioned external bus with an external bus in packet transfer equipment according to claim 1 on the basis of the 1st clock means which clocks time amount independently, and the clock means of the above 1st -- a time check -- the packet transfer equipment characterized by having a means.

[Claim 5] packet transfer equipment according to claim 4 -- setting -- the above-mentioned bus criteria time of day -- a time check -- the packet transfer equipment characterized by a means making the time of day which the clock means of the above 1st shows, and the criteria time of day of the above-mentioned external bus do ** 1.

[Claim 6] packet transfer equipment according to claim 1 -- setting -- the above-mentioned synchronous means -- the above-mentioned bus criteria time of day -- a time check -- the packet transfer equipment characterized by having a bus for criteria time of day for broadcasting the time of day which a means shows to the other gates, and synchronizing the criteria time of day of other external buses with arbitration or the criteria time of day of a specific external bus.

[Claim 7] Setting to packet transfer equipment according to claim 6, the above-mentioned bus for criteria time of day is packet transfer equipment characterized by making it do ** 1 about the criteria time of day of other external buses to arbitration or the criteria time of day of a specific external bus.

[Claim 8] It is packet transfer equipment characterized by making it do ** 1 in 4 bits of low order at least among the bits as which the above-mentioned synchronous means expresses the number of cycles of an external bus in packet transfer equipment given in claims 5 or 7.

[Claim 9] It is packet transfer equipment characterized by the above-mentioned synchronous means having the synchronous precision of the transmission cycle unit of an isochronous packet in packet transfer equipment given in either of claims 4-8.

[Claim 10] It is packet transfer equipment characterized by adding the 1st offset value specified by the time amount taken for the above-mentioned offset means to transmit a packet to the k-th external bus of the above from the j-th external bus of the above in packet transfer equipment according to claim 2 to the above-mentioned time stamp.

[Claim 11] In packet transfer equipment according to claim 2 The criteria time of day of the j-th external bus of the above, It has a time-of-day difference detection means to detect the 2nd offset value specified according to the difference of the criteria time of day of the k-th external bus of the above. The above-mentioned time stamp offset means Packet transfer equipment characterized by adding or subtracting to the time stamp which carried out [above-mentioned] detection of the value adding the offset value of the above 1st, and the offset value of the above 2nd.

[Claim 12] It is packet transfer equipment characterized by the offset value of the above 1st being a fixed cycle value in packet transfer equipment given in claims 10 or 11.

[Claim 13] It is packet transfer equipment characterized by the offset value of the above 2nd being a fixed cycle value in packet transfer equipment given in claims 10 or 11.

[Claim 14] The 2nd clock means which outputs a mediation cycle to either of claims 1-13 in the packet transfer equipment of a publication, An internal bus mediation means to arbitrate the demand which uses the internal bus outputted from each n-th gate node from the above 1st, and

to grant a bus royalty to each gate node in order, Packet transfer equipment characterized by being what **** and transmits the isochronous packet from each n-th external bus to [from the above 1st] the above-mentioned internal bus.

[Claim 15] In packet transfer equipment according to claim 14 the read-out control means of the above 1st The above-mentioned mediation cycle is compared with the number of cycles when the packet-sending-and-receiving means of the above 1st receives an isochronous packet. If the demand which uses a bus is outputted to the above-mentioned internal bus mediation means and a bus royalty is acquired from the above-mentioned internal bus mediation means when the number of cycles is in agreement If it finishes sending out the packet which should control to send out the isochronous packet stored in the memory means of the above 1st to an internal bus, and should be sent out It is what outputs a cycle out signal to the above-mentioned internal bus mediation means. The above-mentioned internal bus mediation means Packet transfer equipment characterized by being what changes the duration of service of the internal bus by each n-th external bus from the above 1st by granting a bus royalty to the following gate node which is demanding use of an internal bus if the above-mentioned cycle out signal is inputted.

[Claim 16] It is packet transfer equipment characterized by the memory means of the above 1st being what stores a period until it acquires the bus royalty of the above-mentioned internal bus, and an isochronous packet in case an isochronous packet is transmitted to the above-mentioned internal bus from the j-th external bus of the above in packet transfer equipment according to claim 15.

[Claim 17] It is packet transfer equipment characterized by the memory means of the above 2nd being what stores a period until it acquires the royalty of the k-th external bus of the above, and an isochronous packet in case an isochronous packet is transmitted to the k-th external bus of the above from the above-mentioned internal bus in packet transfer equipment according to claim 15.

[Claim 18] It is packet transfer equipment characterized by being what the memory means of the above 1st consists of with a FIFO memory means in packet transfer equipment according to claim 16.

[Claim 19] It is packet transfer equipment characterized by being what the memory means of the above 2nd consists of with a FIFO memory means in packet transfer equipment according to claim 17.

[Claim 20] It is packet transfer equipment characterized by being what consists of M FIFO memory means (M is the natural number) for the memory means of the above 2nd to classify the isochronous packet which received from the above-mentioned internal bus per external bus of a transmitting agency in packet transfer equipment according to claim 19, and to store.

[Claim 21] It is packet transfer equipment characterized by the n-th external bus and above-mentioned internal bus being a bus of the same specification from the above 1st in packet transfer equipment according to claim 1.

[Claim 22] It is packet transfer equipment characterized by the maximum transmission rate of the above-mentioned internal bus being $1/2$ or less [of total of the isochronous packet maximum transmission rate of the n-th external bus] from the above 1st in packet transfer equipment according to claim 1.

[Claim 23] It is packet transfer equipment which the above 1st to the n-th external bus is a serial bus, and is characterized by the above-mentioned internal bus being a parallel bus in packet transfer equipment according to claim 1.

[Claim 24] Setting to packet transfer equipment according to claim 1, the bus clock of the n-th

external bus and the bus clock of the above-mentioned internal bus are the same or packet transfer equipment characterized by being a synchronous clock from the above 1st.

[Claim 25] It is packet transfer equipment characterized by the n-th external bus being an IEEE1394 serial bus from the above 1st in packet transfer equipment given in either of claims 1-24.

[Claim 26] It is packet transfer equipment characterized by the n-th external bus being USB (Universal Serial Bus) from the above 1st in packet transfer equipment given in either of claims 1-25.

[Claim 27] The inside of the 1st which has transmission function of isochronous packet to n-th (n is the two or more natural numbers) external bus, It is the record medium which stored the packet transfer processing program for making packet transfer processing in which an isochronous packet is transmitted to the k-th (k is the natural number of 1 to n) external bus of arbitration perform to a computer from the j-th (for j to be the natural number of 1 to n) external bus of arbitration. The above-mentioned packet transfer processing program is a record medium characterized by being the thing which makes the packet transfer processing program by packet transfer equipment given in either of claims 1-26 perform to a computer.

[Translation done.]

DETAILED DESCRIPTION

[0001]

[Field of the Invention] This invention has the isochronous packet transmission function represented into an IEEE1394 serial bus etc., and relates to the packet transfer equipment which connects two or more buses.

PRIOR ART

[0002]

[Description of the Prior Art] In recent years, using ISO/IEC13213 conformity serial buses, such as an IEEE1394 serial bus, two or more AVC devices, such as digital one VCR or a personal computer, are connected, a network is formed, and data transmission between devices is performed. 125microsec is made into 1 cycle of data transmission by IEEE1394 serial bus. moreover, by IEEE1394 serial bus, transmission of data is performed [with the isochronous communication link (synchronous transmission) to which data transmission is immediately carried out according to a Request to Send] behind time from generating of a Request to Send depending on the case -- being asynchronous (asynchronous communication) -- it defines. The above-mentioned isochronous communication link is a correspondence procedure used for transmission of the data with which real time nature like AV (Audio Video) data is demanded. In this isochronous communication link, the data of at least 1 packet are once transmitted to 1 cycle (125 microseconds) using the band which acquired the band required to transmit data first in advance of initiation of transmission of data, and was acquired beforehand. Thereby, the real time nature of data transmission is guaranteed.

[0003] On the other hand, the above-mentioned asynchronous communication link is a correspondence procedure used for transmission of the data with which real time nature is not

demanding like transmission of computer data and still picture data, such as a command. As transmission of current and AV data using an isochronous communication link, the transmission approach of the data for digital VCR (Video Cassette Recorder), the transmission approach of the data of an MPEG 2 transport stream, etc. are defined.

[0004] Hereafter, the correspondence procedure in the conventional IEEE1394 network is explained briefly. As for drawing 19 (a), three terminal units show typically the network where the network where two terminal units were connected through the above-mentioned IEEE1394 serial bus was connected through the above-mentioned IEEE1394 serial bus again, respectively, as for drawing 19 (b). The IEEE1394 network of drawing 19 (a) is constituted by the IEEE1394 serial bus 203 which connects the above VCR201 and VCR202 with 1st digital [201] one VCR which transmits an isochronous packet, and 2nd digital [202] one VCR which receives an isochronous packet.

[0005] Moreover, the IEEE1394 network of drawing 19 (b) is constituted by the IEEE1394 serial bus 203 which connects the above VCR201 and VCR202 with 1st digital [201] one VCR which transmits an isochronous packet, 2nd digital [202] one VCR which receives an isochronous packet, and 3rd digital [205] one VCR, and the IEEE1394 serial bus 204 which connects the above VCR202 and VCR205. In addition, digital [201] ones VCR of the above 1st serves as the Maine terminal unit which outputs a cycle-start packet every 125 microseconds on the above-mentioned network. Moreover, this Maine terminal unit 201 has the composition of also performing assignment of the frequency band which each terminal uses for data transmission.

[0006] In the above-mentioned IEEE1394 network, the time amount used for an isochronous communication link and the time amount used for an asynchronous communication link are assigned to 1 cycle period, 80% of 1 cycle period is used for an isochronous communication link, and the 20 remaining% is used for an asynchronous communication link. And each terminal unit performs data transmission by isochronous communication link about the data with which real time nature is demanded, and performs data transmission by asynchronous communication link about the data with which real time nature is not demanded.

[0007] Next, actuation is explained. In order to change into the condition that a packet can be transmitted first, after bus reset, tree discernment determines the parentage between nodes and the root node which arbitrates the demand which uses the bus from two or more nodes is determined. By this tree discernment, the node of VCR202 turns into [the node of VCR201] a root node with a child node again. Next, an identification number is assigned to each node by the self-discernment for identifying a self-node and other nodes, and the identification number of the node of VCR201 is set to physical_ID=0, and the identification number of the node of VCR202 is set to physical_ID=1.

[0008] Next, the node of VCR201 asks a root node 201 for authorization (bus royalty) of the band used for transmission of data. A root node 201 arbitrates the demand (bus royalty) of the band use from each node, and grants a bus royalty in order to each node. And if a bus royalty is permitted, the node of VCR201 will transmit an isochronous packet to VCR202 once [at least] during 1 cycle period using the above-mentioned band, after acquiring bandwidth required for a transfer of an isochronous packet, and a channel number.

[0009] Moreover, drawing 18 is a conceptual diagram for explaining transmission of an isochronous packet. It is the period which shows that 206 was a cycle-start packet in drawing, it is the data prefix period which holds a bus until 207 is a period which arbitrates the request from two or more nodes in a bus mediation period and the node from which 208 acquired the bus royalty is [packet transmission] ready, and packet transmission ended 210 at the data end.

[0010] The root node 201 is outputting the cycle-start packet 206 which shows the head location for every cycle. And if a bus is held (data prefix period 208) and packet transmission preparation is completed, an isochronous packet 209 will be outputted for every cycle, until packet transmission preparation will complete the node of VCR201, if a bus royalty is acquired through the bus mediation period 207.

[0011] Moreover, by isochronous transmission, although transmission of two or more channels is also possible to the appearance shown in drawing 18 (b), a band is secured in each channel unit in this case. Moreover, such isochronous transmission in IEEE1394 is described in detail at specification document "IEEE Standard for a High Performance Serial BUS" of IEEE Std 1394-1995.

[Translation done.]

TECHNICAL PROBLEM

[Problem(s) to be Solved by the Invention] However, by IEEE1394 serial bus, only connection of one bus (tree) per a maximum of 63 node is allowed, and the node after the 64th set cannot be connected. Moreover, although about 64000 nodes are connectable if two or more buses are connected through a bus bridge, it does not have the function to perform a mutual transfer of an isochronous packet to a bus bridge between different buses, and dubbing etc. cannot be performed to hundreds of decks at once from the one deck like business-use dubbing equipment.

[0013] Moreover, in IEEE1394, if additional connection of 3rd digital [205] one VCR is newly made from 1st digital [201] one VCR by bus 204 during transmission of an isochronous packet to 2nd digital [202] one VCR 2nd digital [202] one VCR as shown in drawing 19 (b), the actuation which the whole bus resets will be caused. And if bus reset arises by addition of such a new device or cutting of a device, isochronous transmission 2nd digital [VCR / 202] will once be interrupted from 1st digital [201] one VCR established previously.

[0014] This invention connects two or more serial buses mutually in an IEEE1394 serial bus etc. in view of the above-mentioned trouble, and it aims at offering the data-logging medium which stored the program for making the packet transfer processing by this packet transfer equipment perform to a computer in the packet transfer equipment [an isochronous packet transfer is possible in 63 or more sets of devices, and] which can perform addition of a device, cutting, etc., without interrupting a transfer of an isochronous packet, and a list.

MEANS

[0015]

[Means for Solving the Problem] In order to solve the above-mentioned trouble, the packet transfer equipment concerning invention according to claim 1 The inside of the 1st which has transmission function of isochronous packet to n-th (n is the two or more natural numbers) external bus, It is equipment which transmits an isochronous packet to the k-th (k is the natural number of arbitration of 1 to n) external bus of arbitration from the j-th (j is the natural number of 1 to n) external bus of arbitration. Each n-th external bus is connected from the internal bus to which the isochronous packet from the j-th external bus to the k-th external bus of arbitration of

arbitration is transmitted, the above-mentioned internal bus, and the above 1st. Between one's external bus and the above-mentioned internal bus From the 1st which transmits and receives an isochronous packet between the n-th (n is the two or more natural numbers) gate node and the k-th external bus of the j-th and arbitration of the arbitration which performs transmission and reception of an isochronous packet It is characterized by having a synchronous means to synchronize the criteria time of day of an external bus.

[0016] Moreover, the packet transfer equipment concerning invention according to claim 2 In packet transfer equipment according to claim 1 the n-th gate node from the above 1st The 1st packet-sending-and-receiving means which transmits and receives the packet from its external bus and above-mentioned internal bus, A time stamp judging means to judge whether the time stamp is contained in the received isochronous packet, A time stamp location detection means to detect the location of the above-mentioned time stamp, A time stamp offset means to be based on the positional information of the detected above-mentioned time stamp, and to add or subtract an offset value to a time stamp, An internal bus header addition means to add the 2nd header including the destination or the information on the source, and the information used for transmission and reception with an internal bus to an isochronous packet, The 1st memory means which stores the isochronous packet which added the 2nd header of the above, The 1st read-out control means which predicts the 2nd header added to the isochronous packet stored in the memory means of the above 1st, and controls the transfer of an isochronous packet to an internal bus from the 1st memory means, It **** and is characterized by transmitting the isochronous packet which received from its external bus to an internal bus.

[0017] Moreover, the packet transfer equipment concerning invention according to claim 3 In packet transfer equipment according to claim 1 or 2 the n-th gate node from the above 1st A packet selection means to choose a specific packet from the isochronous packet which flows an internal bus, and to receive, A register means to hold the channel number for sending out the isochronous packet which received to one's external bus, The header rewriting means which rewrites the packet header of the isochronous packet which received based on the output from the above-mentioned register means, The 2nd memory means which stores the isochronous packet by which the above-mentioned packet header was rewritten, The number of cycles contained in the 2nd header of the above and the offset value included in a time stamp are added. This added value, The isochronous packet stored in a number comparison means of cycles to measure the criteria cycle of an external bus, and the memory means of the above 2nd is predicted. It has the 2nd read-out control means which controls a transfer of the isochronous packet from the 2nd memory means to its external bus, and is characterized by transmitting the isochronous packet which received from the internal bus to one's external bus.

[0018] moreover, the bus criteria time of day when the packet transfer equipment concerning invention according to claim 4 synchronizes the time amount of the above-mentioned external bus on the basis of 1st clock means by which, as for the above-mentioned synchronous means, an external bus clocks time amount independently in packet transfer equipment according to claim 1, and the clock means of the above 1st -- a time check -- it is characterized by to have a means.

[0019] moreover, the packet transfer equipment concerning invention according to claim 5 -- packet transfer equipment according to claim 4 -- setting -- the above-mentioned bus criteria time of day -- a time check -- a means is characterized for the time of day which the clock means of the above 1st shows, and the criteria time of day of the above-mentioned external bus by making it do ** 1.

[0020] moreover, the packet transfer equipment concerning invention according to claim 6 --

packet transfer equipment according to claim 1 -- setting -- the above-mentioned synchronous means -- the above-mentioned bus criteria time of day -- a time check -- it has a bus for criteria time of day for broadcasting the time of day which a means shows to the other gates, and is characterized by to synchronize the criteria time of day of other external buses with arbitration or the criteria time of day of a specific external bus.

[0021] Moreover, in packet transfer equipment according to claim 6, the above-mentioned bus for criteria time of day is characterized for the criteria time of day of other external buses by making it do ** 1 at arbitration or the criteria time of day of a specific external bus by the packet transfer equipment concerning invention according to claim 7.

[0022] Moreover, the above-mentioned synchronous means is characterized for 4 bits of low order by making it do ** 1 at least among the bits as which the packet transfer equipment concerning invention according to claim 8 expresses the number of cycles of an external bus in packet transfer equipment given in claims 5 or 7.

[0023] Moreover, the packet transfer equipment concerning invention according to claim 9 is characterized by the above-mentioned synchronous means having the synchronous precision of the transmission cycle unit of an isochronous packet in packet transfer equipment given in either of claims 4-8.

[0024] Moreover, the packet transfer equipment concerning invention according to claim 10 is characterized by adding the 1st offset value specified by the time amount taken for the above-mentioned offset means to transmit a packet to the k-th external bus of the above from the j-th external bus of the above to the above-mentioned time stamp in packet transfer equipment according to claim 2.

[0025] Moreover, the packet transfer equipment concerning invention according to claim 11 In packet transfer equipment according to claim 2 The criteria time of day of the j-th external bus of the above. It has a time-of-day difference detection means to detect the 2nd offset value specified according to the difference of the criteria time of day of the k-th external bus of the above. The above-mentioned time stamp offset means It is characterized by adding or subtracting to the time stamp which carried out [above-mentioned] detection of the value adding the offset value of the above 1st, and the offset value of the above 2nd.

[0026] Moreover, the packet transfer equipment concerning invention according to claim 12 is characterized by the offset value of the above 1st being a fixed cycle value in packet transfer equipment given in claims 10 or 11.

[0027] Moreover, the packet transfer equipment concerning invention according to claim 13 is characterized by the offset value of the above 2nd being a fixed cycle value in packet transfer equipment given in claims 10 or 11.

[0028] Moreover, the packet transfer equipment concerning invention according to claim 14 The 2nd clock means which outputs a mediation cycle to either of claims 1-13 in the packet transfer equipment of a publication, An internal bus mediation means to arbitrate the demand which uses the internal bus outputted from each n-th gate node from the above 1st, and to grant a bus royalty to each gate node in order. It **** and is characterized by being what transmits the isochronous packet from each n-th external bus to [from the above 1st] the above-mentioned internal bus.

[0029] Moreover, the packet transfer equipment concerning invention according to claim 15 In packet transfer equipment according to claim 14 the read-out control means of the above 1st The above-mentioned mediation cycle is compared with the number of cycles when the packet-sending-and-receiving means of the above 1st receives an isochronous packet. If the demand which uses a bus is outputted to the above-mentioned internal bus mediation means and a bus

royalty is acquired from the above-mentioned internal bus mediation means when the number of cycles is in agreement. If it finishes sending out the packet which should control to send out the isochronous packet stored in the memory means of the above 1st to an internal bus, and should be sent out. It is what outputs a cycle out signal to the above-mentioned internal bus mediation means. The above-mentioned internal bus mediation means. An input of the above-mentioned cycle out signal is characterized by being what changes the duration of service of the internal bus by each n-th external bus from the above 1st by granting a bus royalty to the following gate node which is demanding use of an internal bus.

[0030] Moreover, in case the packet transfer equipment concerning invention according to claim 16 transmits an isochronous packet to the above-mentioned internal bus from the j-th external bus of the above in packet transfer equipment according to claim 15, the memory means of the above 1st is characterized by being what stores a period until it acquires the bus royalty of the above-mentioned internal bus, and an isochronous packet.

[0031] Moreover, in case the packet transfer equipment concerning invention according to claim 17 transmits an isochronous packet to the k-th external bus of the above from the above-mentioned internal bus in packet transfer equipment according to claim 15, the memory means of the above 2nd is characterized by being what stores a period until it acquires the royalty of the k-th external bus of the above, and an isochronous packet.

[0032] Moreover, the packet transfer equipment concerning invention according to claim 18 is characterized by the memory means of the above 1st being what is constituted by the FIFO memory means in packet transfer equipment according to claim 16.

[0033] Moreover, the packet transfer equipment concerning invention according to claim 19 is characterized by the memory means of the above 2nd being what is constituted by the FIFO memory means in packet transfer equipment according to claim 17.

[0034] Moreover, the packet transfer equipment concerning invention according to claim 20 is characterized by the memory means of the above 2nd being what consists of M FIFO memory means (M is the natural number) to classify the isochronous packet which received from the above-mentioned internal bus per external bus of a transmitting agency, and to store it in packet transfer equipment according to claim 19.

[0035] Moreover, the packet transfer equipment concerning invention according to claim 21 is characterized by the n-th external bus and above-mentioned internal bus being a bus of the same specification from the above 1st in packet transfer equipment according to claim 1.

[0036] Moreover, the packet transfer equipment concerning invention according to claim 22 is characterized by the maximum transmission rate of the above-mentioned internal bus being $1/2$ or less [of total of the isochronous packet maximum transmission rate of the n-th external bus] from the above 1st in packet transfer equipment according to claim 1.

[0037] Moreover, in packet transfer equipment according to claim 1, the above 1st to the n-th external bus of the packet transfer equipment concerning invention according to claim 23 is a serial bus, and it is characterized by the above-mentioned internal bus being a parallel bus.

[0038] Moreover, the packet transfer equipment concerning invention according to claim 24 is that the bus clock of the n-th external bus and the bus clock of the above-mentioned internal bus are the same, or a thing characterized by being a synchronous clock from the above 1st in packet transfer equipment according to claim 1.

[0039] Moreover, the n-th external bus is characterized by the packet transfer equipment concerning invention according to claim 25 being an IEEE1394 serial bus from the above 1st in packet transfer equipment given in either of claims 1-24.

[0040] Moreover, the n-th external bus is characterized by the packet transfer equipment concerning invention according to claim 26 being USB (Universal Serial Bus) from the above 1st in packet transfer equipment given in either of claims 1-25.

[0041] Moreover, the record medium concerning invention according to claim 27 The inside of the 1st which has transmission function of isochronous packet to n-th (n is the two or more natural numbers) external bus, It is the record medium which stored the packet transfer processing program for making packet transfer processing in which an isochronous packet is transmitted to the k-th (k is the natural number of 1 to n) external bus of arbitration perform to a computer from the j-th (for j to be the natural number of 1 to n) external bus of arbitration. The above-mentioned packet transfer processing program is characterized by storing in either of claims 1-26 the program to which the packet transfer processing by the packet transfer equipment of a publication is made to carry out to a computer.

[0042]

[Embodiment of the Invention] (Gestalt 1 of operation) Drawing 9 is drawing showing the configuration of the packet transfer equipment 100 by the gestalt 1 of this operation. The external buses 1a-1d in which this packet transfer equipment 100 has an isochronous packet transmission function, The internal bus 21 which has an isochronous packet transfer facility for transmitting an isochronous packet to the k-th external bus of arbitration from the j-th external bus of arbitration, The gate nodes 24a-24d which connect an external bus 1 and an external internal bus 21, and transmit and receive an isochronous packet between the external bus of **, or an internal bus, The 1st time-of-day means 22 which outputs time of day independently absolutely with an external bus, and the 2nd time-of-day means 107 which outputs a mediation cycle, It has an internal bus mediation means 23 to arbitrate equally the demand which uses the bus from each gate, and each above-mentioned external buses 1a-1d are connected and constituted by each gate nodes 24a-24d.

[0043] In addition, the above-mentioned external bus 1 is an IEEE1394 serial bus, and the above-mentioned internal bus 21 is a parallel bus which has two or more lanes of digital data transmission routes. Moreover, the clock means 22 of the above 1st is a free run counter without a load function. Moreover, let the maximum transfer rates of the internal bus of this packet transfer equipment 100 be one half of the rates of total of the maximum transfer rate of an external bus.

[0044] Moreover, drawing 15 is drawing showing signs that two or more devices (node) are connected to the above-mentioned packet transfer equipment 100. In packet transfer equipment 100, 1st digital [102] one VCR (Video Cassette Recorder), 2nd digital [103] ones VCR, a personal computer 104, and 1st digital [105] one TV are connected to the external bus of gate node 24a. Moreover, the 1st STB (Set Top Box) 101 is connected with 3rd digital [100] one VCR at the external bus of gate node 24b. Moreover, 2nd STB99 is connected with the printer 98 at the external bus of gate node 24c. In addition, it does not connect with gate node 24d at all.

[0045] Moreover, with the packet transfer equipment 100 of the gestalt 1 of this operation, when performing transmission or reception of an isochronous packet, the gate node 24 which is the terminal of packet transfer equipment 100 shall turn into a cycle master node after bus reset to the bus which transmits and receives a packet. That is, if an isochronous packet transfer shall be performed by external buses 1a-1c, the gate nodes 24a-24c will turn into a cycle master node to each corresponding external buses 1a-1c, and will output a cycle-start packet every 125 microseconds.

[0046] Moreover, packet transfer equipment 100 is unifying each external buses [1a-1d] criteria

time of day by outputting criteria time of day to all the external buses that transmit and receive a packet. Thus, this packet transfer equipment 100 has composition which transmits and receives a packet, after making criteria time of day in agreement by the whole external bus which carries out packet sending and receiving.

[0047] Moreover, drawing 1 is a block diagram which constitutes the gate node 24. The connection port 2 where the gate node 24 connects this equipment 100 with an external bus 1, The input terminal 16 which inputs time of day absolutely from a packet-sending-and-receiving means 3 to transmit and receive a packet on an external bus 1, and the clock means 22 of the above 1st, the bus criteria time of day which acquires the above-mentioned absolute time of day - - a time check -- with a means 4 and the 1st time stump judging means 5 which judges whether the 1st time stump exists The 1st time stump location detection means 6 which detects the location of the 1st time stump of the above, The 1st time stump offset means 7 which adds offset to the 1st time stump of the above based on the positional information from the time stump location detection means 6 of the above 1st, An internal bus header addition means 8 to add the 2nd header including the destination or source information, and the information used for transmission and reception with an internal bus 21 to an isochronous packet head, The 1st memory means 9 which stores the isochronous packet which added the 2nd header of the above, The isochronous packet stored in the memory means 9 of the above 1st is predicted. It has the 1st read-out control means 10 which controls the transfer of an isochronous packet to the above-mentioned internal bus 21 from the 1st memory means, and it is constituted so that the isochronous packet which received from the external bus of ** may be transmitted to an internal bus 21.

[0048] Moreover, a packet selection means 11 for the above-mentioned gate node 24 to choose a specific packet, and to receive, A register means 108 to hold the channel number for sending out to the external bus of **, The header rewriting means 12 which rewrites the channel number of the packet which received based on the output from the above-mentioned register 108, The 2nd memory means 13 which stores temporarily the isochronous packet by which the packet header was rewritten with the above-mentioned header rewriting means 12, The number of cycles contained in the 2nd header of the above and the number of offset cycles applied to the time stump are added. This added number of cycles, The isochronous packet stored in a number comparison means 14 of cycles to compare the criteria time of day of an external bus, and the memory means 13 of the above 2nd is predicted. It has the 2nd read-out control means 15 which controls a transfer of the isochronous packet from the 2nd memory means 13 to the external bus of **, and an isochronous packet is received from an internal bus 21, and it is constituted so that it may transmit to the external bus of **. Moreover, the gate control means 109 controls the whole actuation of the gate node 24 according to each **** of **, when a gate node becomes a cycle master, or when it does not get used.

[0049] The time stump offset means 7 of the above 1st is constituted here so that the 1st offset value may be applied to the 1st time stump detected considering a part for the time amount taken to transmit a packet to the external bus of the k-th arbitration from the external bus of the j-th arbitration as a transfer delay cycle. In addition, with this packet transfer equipment 100, the 1st offset value for transfer delay applied to the time stump shall be made into a fixed cycle value, and offset shall be given to the 1st time stump by making this fixed cycle value into 3 cycles.

[0050] moreover, the number of cycles which added the offset value (three cycles) applied to the 1st time stump of the above to the number of cycles contained in the 2nd header of an isochronous packet, and was added to it with the above-mentioned number comparison means 14

of cycles and the criteria time of day of an external bus, i.e., bus criteria time of day, -- a time check -- the time of day which a means 4 shows compares, and if in agreement, it is constituted so that the number coincidence signal of cycles may output to the 2nd read-out control means 15.

[0051] Moreover, drawing 5 is drawing showing the 2nd header added with the above-mentioned internal bus addition means 8. As shown in the 2nd header of the above at drawing 5 (a), 1 quad let is added to the head of a packet. 16 bits of high orders The transmitting agency gate is expressed to an internal bus. 16 bits of low order The approach of expressing the number of cycles at the time of receiving a packet from an external bus, and 16 bits of high orders of 1 KUWADO let added to the head of a packet as shown in drawing 5 (b) The gate node of the transmission place of an internal bus is expressed, and 16 bits of low order have a method of expressing the number of cycles at the time of receiving a packet from an external bus.

[0052] moreover, drawing 2 -- bus criteria time of day -- a time check -- it is the block diagram showing the configuration of a means 4, the above-mentioned bus criteria time of day -- a time check -- a means 4 with the input terminals 25 and 26 which input the time of day which the clock means of the above 1st outputs, or the bus criteria time of day described at the cycle-start packet The change means 27 which changes the output from the above-mentioned input terminals 25 and 26, It has the 7-bit counter 30 which counts 127 from 13-bit counter means 29 and 0 to count 7999 from 12-bit counter means 28 and 0 to count 0 to 3071, and the output terminal 31.

[0053] The above-mentioned counter 28 supplies a carry signal to the enabling terminal of a counter 29, when recurring from 3071 to 0. Moreover, a counter 29 supplies a carry signal to the enabling terminal of a counter 30, when counting up only when the carry signal is supplied to the enabling terminal of **, and recurring from 7999 to 0. Moreover, a counter 30 is counted up only when the carry signal is supplied to the enabling terminal of **.

[0054] Since 24.576MHz is supplied altogether, a counter 28 is counted up per $1/24.576\text{MHz}$, and in these three counters, a counter 29 is counted up per $1/24.576\text{MHz} \times 3072 = 125\text{microsec}$, and the counter 30 is constituted so that it may count up per $125\text{microsec} \times 8000 = 1\text{sec}$. Moreover, the numeric value of a counter 29 is called the number of cycles, and is the criteria period of isochronous packet transmission.

[0055] here -- bus criteria time of day -- a time check -- when the change means 27 chooses an input terminal 25, the criteria time of day from the 1st clock means is loaded, when a self-node is a cycle master, and a self-node does not get used to a cycle master, a means 4 chooses an input terminal 26, and it is constituted so that the criteria time of day described at the cycle-start packet which other nodes broadcast may be loaded. Moreover, the above-mentioned counters 28-30 are the same as that of the cycle-time register specified by IEEE1394 -1995.

[0056] Moreover, drawing 6 is drawing showing the configuration of the memory means 9 of the above 1st. The input port 52 where the memory means 9 of the above 1st inputs an isochronous packet, FIFO memory 53 which reads and stores the inputted isochronous packet, It has the output terminal 54 which outputs an isochronous packet, and the read-out control terminal 55 which inputs the read-out control signal from the 1st read-out control means 10. Based on the read-out control signal inputted from the read-out control terminal 55, the isochronous packet stored in FIFO memory 53 is constituted so that it may be outputted to an internal bus 21 from an output terminal 54.

[0057] Moreover, drawing 3 is an isochronous packet and drawing showing the configuration of DV packet header section. Drawing 3 (a) shows the structure of the above-mentioned isochronous packet, and an isochronous packet is added to a packet head and constituted by the

data payload 37 for transmitting the data from the isochronous packet header 32 which the die length of the information about a network transmission line, for example, a packet, and information, such as a transmission channel, are describing, the header CRC 33 used [whether the header 32 was transmitted correctly and] for checking by the receiving side, and a terminal. Moreover, the above-mentioned data payload 37 is constituted by the CIP header 34, and a data field 35 and Data CRC 36, and the above-mentioned data CRC 36 are used [whether the data payload 37 was transmitted correctly and] for checking by the receiving side.

[0058] First, the configuration of the above-mentioned isochronous packet header 32 is explained. At the above-mentioned isochronous packet header 32, 16 bits of high orders from a head to the 16th bit are describing the die length of a packet from the cutting tool by data_length which shows the die length of a packet. 2 bits from the 17th bit next to above-mentioned data_length to the 18th bit are tag which shows whether a CIP header exists, and, in 01b, shows that a CIP header exists in the head part of a data payload. 6 bits from the 19th bit next to Above tag to the 24th bit are channel which shows the transmission channel of a packet. Moreover, 4 bits from the 25th bit next to Above channel to the 28th bit are tcode showing the class of packet, and, in the case of an isochronous packet, is set to 1010b. Moreover, 4 bits from the 29th bit next to Above tcode to the 32nd bit are the bit sy which application can use.

[0059] Next, the configuration 34 of the above-mentioned CIP header is explained. When Above tag is 01b, a CIP header exists in the head part of a data payload. The above-mentioned CIP header is described per 1 KUWADO let (= 32 bits), and 2 bits of a head express where is a CIP header. For example, in a case digital [VCR] (it is described as Following DV), the head of the 1st KUWADO let of a CIP header is [the head of the 2nd KUWADO let] 01b in 00b, but this shows that a CIP header is 2 KUWADO let. Hereafter, a packet presupposes that it is the packet which DV sent out, and is explained from the 1st KUWADO let eye.

[0060] It is source NODOAIDI (SID) 6 bits from a triplet eye to the 8th bit indicate the sending-out origin of a packet to be from the head of the 1st KUWADO let of the above-mentioned CIP header. 8 bits from the 9th bit next to Above SID to the 16th bit are DBS which shows the die length when adding Data CRC to data FIRUDO per KUWADO let, and, in a case digital [VCR], is set to 11110000b=120d.

[0061] Moreover, 2 bits from the 17th bit next to Above DBS to the 18th bit are a fraction number (FN) which shows the number of data blocks with which the source packet is divided, and it is shown that DV case is set to 00b and divided. Moreover, the triplet from the 19th bit next to Above FN to the 21st bit is a KUWADO let padding count (QPC) which shows the number of KUWADO let of the dummy added in order to double data block size. This is not used when it is FN=00b.

[0062] Moreover, it is SPH showing whether 22nd bit 1 bit of source packet headers next to Above QPC exists. When SPH is 1b, it is shown that the source packet header exists, 25 bits of low order of a cycle-time register are recorded on a source packet header as a time stamp, and it is used at the time of MPEG transmission etc. Moreover, in the case of DV, it is SPH=0b, and it is shown that a source packet header does not exist and the time stamp is recorded on SYT mentioned later. Moreover, 2 bits from the 23rd bit next to Above SPH to the 24th bit are reserve (rsv) of the bit reserved for the future extension. 8 bits from the 25th bit next to Above rsv to the 32nd bit are a continuity counter OBUDETA block (DBC).

[0063] Next, the 2nd quad let eye of a CIP header is explained. 6 bits from a triplet eye to the 6th bit are format Aide (FMT) from the head of the 2nd KUWADO let of a CIP header.

FMT=000000b expresses DV and FMT=100000 express MPEG. As for current, DV and MPEG

are defined, although the sequential addition is carried out if a format increases.

[0064] Moreover, 8 bits from the 9th bit next to Above FMT to the 16th bit are the format DIPEN dent field (FDF), and it depends for them on FMT. In the case of DV, the 1st of 8 bits of the beginning shows whether it is [60Hz] whether the field frequency of image data is 50Hz in 50/60, and they are 50Hz=1b and 60Hz=0b. And 5 bits from the following bit [2nd] to the 6th bit show that 00000b is the 525 scanning lines or 625 images in STYPE, and shows that 00010b is the 1125 scanning lines or 1250 images. For example, 1125 to 60 Hz and 100010b express [000000b / 525 to 60 Hz, and 100000b / 625 to 50 Hz, and 000010b] 1250 to 50 Hz with 50/60 of combination. And two of 8 bits of FDF remaining are the reserve bit (Rsv) reserved for the future.

[0065] Moreover, 16 bits of the last of the 2nd KUWADO let from the 17th bit next to Above FDF to the 32nd bit are the SYT field, and in the case of DV, among 16 bits of low order of a cycle-time register, 4 bits of high orders express the number of cycles, and it is recorded as a time stamp.

[0066] Moreover, drawing 3 (b) shows an example of DV packet header section (isochronous packet header and CIP header) inputted into the 1st time stamp offset means 7. Moreover, drawing 3 (c) shows an example of the header unit of DV packet outputted from the 1st time stamp offset means 7. In this example, 4 bits of high orders of SYT are 0100b from 0001b, and having added offset of 3 cycle is shown.

[0067] Next, actuation is explained. With the gestalt 1 of this operation, the isochronous packet of DV which transmission and reception of an isochronous packet shall be performed among external bus 1a - 1c, and was especially sent out from 3rd digital [100] one VCR explains focusing on signs that it is transmitted to 1st digital [102] one VCR.

[0068] First, the criteria time of day between the external buses which transmit and receive an isochronous packet is unified. if it is specifically decided to each external buses 1a-1c after bus reset that the gate nodes 24a-24c of packet transfer equipment will be root nodes -- bus criteria time of day -- a time check -- with a means 4, the absolute time of day which the 1st clock means 22 outputs is inputted from an input terminal 16. this time -- bus criteria time of day -- a time check -- with a means 4, the absolute time of day which the 1st clock means 22 outputs is inputted from the input terminal 25 chosen with the change means 27, and is loaded to counters 28, 29, and 30. thereby -- the 1st clock means 22 of each gate nodes 24a-24c, and bus criteria time of day -- a time check -- the time of day when a means 4 is the same -- cutting fine -- the bus criteria time of day of each gate nodes 24a-24c -- a time check -- the time of day which a means 4 shows is contained in a cycle-start packet, and a cycle-start packet is outputted to each external buses 1a-1c every 125 microseconds. Thus, the criteria time of day of each external buses 1a-1c which transmit and receive an isochronous packet is unified.

[0069] If the criteria time of day between external bus 1a [which transmits and receives a packet] - 1c is unified, it will be transmitted from 3rd digital [100] one VCR, and DV isochronous packet shown in drawing 3 (a) will pass external bus 1b, and will be received by the 1st packet-sending-and-receiving means 3 of gate node 24b from the connection port 2.

[0070] the cycle-start packet when being received with the 1st packet-sending-and-receiving means 3, when the isochronous packet was received -- bus criteria time of day -- a time check -- while being outputted to a means 76, an isochronous packet is outputted to the 1st time stamp judging means 5.

[0071] the above-mentioned bus criteria time of day -- a time check -- the bus criteria time of day of the moment of receiving the above-mentioned isochronous packet with a means 4 when the

cycle-start packet was inputted from the isochronous packet transceiver means 3 of the above 1st -- a time check -- the number of cycles which a means 4 shows is outputted to the number maintenance means 106 of cycles. The inputted number of cycles is held with the number maintenance means 106 of cycles.

[0072] Moreover, with the time stamp judging means 5 of the above 1st, it is confirmed whether the time stamp is contained in the inputted isochronous packet. If it is DV at this time, it turns out at the time of tag=01b that a CIP header exists and the time stamp is contained. The 1st [this] judgment result and receive packet in the time stamp judging means 5 are outputted to the 1st time stamp location detection means 6.

[0073] The location of the 1st time stamp is detected with the 1st time stamp location detection means 6. When it is confirmed at this time that they are SPH=0b, FMT=000000b, and FDF=0000000b etc., it turns out that a time stamp (the 1st time stamp) exists in SYT. In MPEG, when it is SPH=1b, since the 1st time stamp exists in SPH, the location of SPH is detected using the parameter of a CIP header (refer to AV transmission specification). Thus, with the 1st time stamp location detection means 6, the positional information which the location of the 1st time stamp is detected and shows the location of this 1st time stamp is outputted to the 1st time stamp offset means 7 with a packet.

[0074] With the time stamp offset means 7 of the above 1st, offset is added only for the time amount (transfer delay cycle) which a transfer takes to the 1st inputted time stamp of a packet based on the inputted positional information. With reference to drawing 3 (c), 3 cycles of a transfer delay cycle are added to number of cycles 0001b which is 4 bits of high orders of SYT, and, specifically, it is referred to as 0100b. Thus, the packet by which offset was added to the 1st time stamp is inputted into the internal header addition means 8.

[0075] With the internal header addition means 8, the 2nd header required in the case of transmission and reception of the packet in an internal bus 21 shown in drawing 5 (a) is added to the head of the inputted packet. At this time, 16 bits of high orders of the 2nd header which consists of 1 KUWADO let show the transmitting agency gate to an internal bus, and 16 bits of low order show the number of cycles at the time of receiving a packet from the number 1 of cycles which the number maintenance means 106 of cycles holds, i.e., an external bus. The packet to which this 2nd header was added is outputted to the 1st memory means 9.

[0076] With the memory means 9 of the above 1st, the inputted packet is read and it is stored temporarily. That is, with the memory means 9 of the above 1st, a packet is stored until it inputs from input port 52, and it is read into FIFO memory 53, it reads from the read-out control terminal 55 and a control signal is inputted.

[0077] Here, with the 2nd clock means 107, the mediation cycle (Arbitration Cycle) is outputted to the internal bus mediation means 23. And with the internal bus mediation means 23, this mediation cycle is outputted to the 1st read-out means 10 which is each gate nodes 24a-24d through the input terminal 17.

[0078] If the 2nd header added to the packet head of the isochronous packet stored in the memory means 9 of the above 1st by the read-out control means 10 of the above 1st at this time is predicted, the comparison with the 2nd time stamp contained in the 2nd header of the above and the mediation cycle which the clock means 107 of the above 2nd shows is performed and both are in agreement, the demand (Request) which uses a bus will output to an internal bus mediation means 23. The internal bus mediation means 23 arbitrates Request from each gate equally, and grants a bus royalty (Grant) in order.

[0079] In the 1st read-out control means 10, if a bus royalty is inputted from the internal bus

mediation means 23, it will read to the 1st memory means 9, and a control signal will be outputted so that the packet which is in agreement with the mediation cycle which the 2nd clock means 107 shows may be outputted to an internal bus 21.

[0080] With the 1st memory means 9, if a read-out control signal is inputted, it would be inputted, and will read and a packet will be sent out to an internal bus 21 based on a control signal. And if it finishes sending out a packet from the 1st memory means 9 to an internal bus 21, in the 1st read-out control means 10, the cycle out signal which shows that output the packet which should be sent out to the internal bus mediation means 23 was finished will be outputted. Moreover, when the packet which should be sent out to the stored packet does not exist, a cycle out signal is outputted to the internal bus mediation means 23 more nearly immediately than the read-out control means 10 of the above 1st. If a packet with the cycle which the clock means 107 of the above 2nd shows is altogether sent out from each gate node to an internal bus 21, it will advance a mediation cycle one with the 2nd clock means 107.

[0081] Thus, although mediation is equally performed to Request from each gate node with the internal bus mediation means 23 so that a packet with the same cycle as the mediation cycle which the 2nd clock means 107 outputs may be sent out in sequence [node / each / gate] to an internal bus 21, the approach of performing such mediation and sending out a packet from each gate node is called cycle control mold mediation.

[0082] Next, the actuation in gate node 24a when receiving by gate node 24a and transmitting the isochronous packet from gate node 24b outputted to the internal bus 21 to external bus 1a through the above-mentioned cycle control mold mediation, is explained. With the packet selection means 11, the packet which flows an internal bus 21 is supervised through the input terminal 20. If the transmission place gate of the 2nd header specifically added to the packet head shown in drawing 5 (b) with the packet selection means 11 investigates whether self-node, i.e., gate node, 24a is shown and shows the self-node, the packet which flows an internal bus 21 will be received and the received packet will be outputted to the header rewriting means 12.

[0083] With the above-mentioned header rewriting means 12, the channel number of the inputted packet is rewritten by the channel number which the register means 108 outputs, and the rewritten packet is outputted to the 2nd memory means 13. This rewriting is not rewritten when it is made when the channel number in a transmitting agency external bus is already used by the external bus of **, and there is no need for rewriting.

[0084] Moreover, drawing 4 (a) shows an example of the header unit (isochronous packet header and CIP header) of DV packet before rewriting, and drawing 4 (b) shows an example of the header unit (isochronous packet header and CIP header) of DV packet after rewriting. The 111111b channel is rewritten by the 000001b channel in this example. Furthermore, as long as it is required, other parts of a header may be rewritten.

[0085] Thus, the isochronous packet which rewriting of a header ended is outputted to the 2nd memory means 13, and is stored temporarily. In the 2nd read-out control means 15, from the isochronous packet stored in the memory means of the above 2nd, the 2nd header and 1st time stamp of the above are predicted, and the read number of cycles and the 1st offset value are outputted to the number comparison means 14 of cycles.

[0086] with the number comparison means 14 of cycles, the number of cycles and the 1st offset value (three cycles) which were inputted add -- having -- this added value and bus criteria time of day -- a time check -- the comparison with the criteria time of day of the external bus which a means 76 outputs is performed. And if both are in agreement, the number coincidence signal of cycles will be outputted to the read-out control means 15 of the above 2nd.

[0087] In the 2nd read-out control means 15, if the number coincidence signal of cycles is inputted from the number comparison means 14 of cycles, it will read to the 2nd memory means 13 so that the stored packet may be outputted to the 1st packet-sending-and-receiving means 3, and a control signal will be outputted to it. With the 2nd memory means 13, if a read-out control signal is inputted, the stored packet will be read and the read packet will be outputted to the 1st packet-sending-and-receiving means 3. With the 1st packet-sending-and-receiving means 3, if the packet was inputted from the 2nd memory means 13, after the band of the packet to send out will be secured, a packet is sent out to external bus 1a.

[0088] Thus, the isochronous packet from external bus 1b is sent out to external bus 1a. With this packet transfer equipment 100, since only the part concerning the transfer delay of a packet has given time stamp offset after making in agreement the criteria time of day of an external bus, 1st digital one VCR of drawing 15 can receive the 3rd packet digital [VCR] without conflict.

[0089] Next, the above-mentioned cycle control mold mediation is concretely explained using drawing 8. Drawing 8 is drawing showing signs that a packet is sent out from each gate node to an internal bus 21, using cycle control mold mediation. Drawing 8 (a) shows the packet into which packet transfer equipment is inputted from each external buses 1a-1d. At this time, the huge asynchronous packet is transmitted on 1d of external buses in the second half of a cycle. Moreover, drawing 8 (b) is a mediation cycle which the 2nd clock means 107 outputs, and drawing 8 (c) is drawing showing signs that the demand (Request) which uses a bus from each gate node to the internal bus mediation means 23 is outputted. Moreover, drawing 8 (d) is drawing showing signs that a bus royalty (Grant) is outputted to each gate node from the internal bus mediation means 23, and is drawing showing signs that the cycle out (CycleDone) signal which shows that drawing 8 (f) finished sending out the packet which should be sent out from each gate node to the internal bus mediation means 23 is outputted. Moreover, drawing 8 (e) shows the isochronous packet sent out to the internal bus 21 from each gate node.

[0090] First, outputting it to the internal bus mediation means 23, if the packet which has the mediation cycle outputted from the 2nd clock means 107 and the same cycle in each 1d gate node is stored in the 1st memory means 9 from 1a is continued until the demand for which a bus is used is given to a bus royalty.

[0091] With the internal bus mediation means 23, the demand from each gate node is arbitrated equally, and a bus royalty is granted to each gate in order so that the period which uses a bus mutually may not lap based on a cycle out signal. If a packet is sent out to an internal bus 21 in an order from the gate where the bus royalty was granted and it finishes sending out a packet, a cycle out signal will be outputted to the internal bus mediation means 23.

[0092] Thus, if it finishes sending out a packet with the same cycle as the mediation cycle which the 2nd clock means 107 outputs from all gate nodes, the 2nd clock means 107 will advance a mediation cycle one. And a packet with the following new mediation cycle will be sent out in order [node / each / gate] to an internal bus 21.

[0093] If such cycle control mold mediation is used, even when a huge asynchronous packet is transmitted in the second half of a cycle, a packet will be transmitted to the sequence which packet transfer equipment received, without producing the inversion of a cycle like 1d of external buses to an internal bus.

[0094] Moreover, the case where non-cycle control mold mediation is used is explained using drawing 7. In non-cycle control mold mediation, the above-mentioned internal bus mediation means 23 does not output the mediation cycle which the 2nd clock means 107 shows to each gate node. For this reason, in the 1st read-out control means of each gate node, shortly after a packet

is stored in the 1st memory means 9, the demand which uses an internal bus will be outputted to the internal bus mediation means 23 (drawing 7 (b)). With the internal bus mediation means 23, the use demand of the bus from each gate node is arbitrated equally, the royalty of a bus is granted in order (drawing 7 (c)), and in the read-out control means 10 of each gate node, if a bus royalty is granted, a packet is sent out to an internal bus in order (drawing 7 (d)).

[0095] However, since the following cycle-start packet is delayed and the isochronous packet (inside Iso31 of drawing) transmitted in this cycle is delayed by non-cycle control mold mediation when a huge asynchronous packet is transmitted on an external bus in the second half of a cycle, the inversion of receiving cycle sequence arises on an internal bus. That is, if a packet is sent out in order of a receiving cycle, since the packet which should be sent out at the section of A will be sent out in the location of B, a packet is not sent out in order of a receiving cycle like cycle control mold mediation.

[0096] With the packet transfer equipment of the gestalt of this operation, cycle control mold mediation must be used by the ability not responding, when the 2nd memory means 13 is written as what receives a packet using the only FIFO memory and the inversion of the number of cycles in non-cycle control mold mediation arises.

[0097] thus, with the packet transfer equipment 100 by the gestalt 1 of this operation The internal bus for transmitting an isochronous packet between different external buses, The gate node which connects an internal bus and an external bus, and transmits and receives an isochronous packet between the external bus of **, and an internal bus, A synchronous means to synchronize criteria time of day between the external buses which transmit and receive an isochronous packet, It arbitrates between an offset means to apply an offset value to a time stump, and each use demand of the internal bus by each n-th (n is the two or more natural numbers) external bus from the 1st. Between each external bus After synchronizing the criteria time of day between the external buses which are equipped with a mediation means to grant a bus royalty in order so that the duration of service of an internal bus may not lap, and transmit and receive an isochronous packet An isochronous packet is transmitted to an internal bus from the j-th external bus of arbitration, in the k-th gate node of a reception place, it offsets by the time amount concerning the transfer delay of a packet, and actuation transmitted to the external bus of ** is performed. For this reason, even if it is the isochronous packet transmitted from a different external bus, an isochronous packet can be received by the device (node) of a receiving side, and transmission and reception of the isochronous packet between different external buses can be carried out to the sequence which transmitted that isochronous packet without conflict.

[0098] Moreover, with this packet transfer equipment 100, since transmission and reception of the isochronous packet between different external buses were attained, if an external bus [two or more (x pieces)] is connected to this packet transfer equipment 100, the device (node) of 63x can be connected and a mutual transfer of an isochronous packet can be performed in 63 or more sets of devices.

[0099] Moreover, with this packet transfer equipment 100, since other external buses are not affected, even if there is an external bus under transmission and reception of an isochronous packet, the bus reset in the external bus of arbitration is external buses other than the external bus under the transmission and reception, and it can transmit an isochronous packet normally by performing connection of a new device or cutting of a device, without producing interruption of a transfer of the isochronous packet resulting from bus reset.

[0100] Moreover, since the maximum transfer rate of the internal bus of this packet transfer equipment 100 was made into one half of the rates of total of the maximum transfer rate of an

external bus, it can transmit all packets when using the total external bus maximum transfer rate. Moreover, since the parallel bus which has two or more lanes for a digital data transmission route was used for the internal bus, a high transmission rate can be obtained easily. Moreover, if an external bus clock and an internal bus clock are synchronized, a transfer of an isochronous packet will become still easier. In addition, the same serial bus as an external bus may be used for the internal bus in the packet transfer equipment of this invention. Moreover, as long as an external bus is a bus in which transmission the band was guaranteed to be possible, other external buses, such as USB (Universal Serial Bus), may be used for it. Moreover, with the gestalt 1 of this operation, although the offset value was applied to the time stamp by the gate node of sending-out-in internal bus origin, you may carry out by the gate node of the receiving side from an internal bus.

[0101] Moreover, although all the criteria time of day of each external bus was made in agreement at the time of day of the 1st clock means, it may synchronize, having offset, even if it did not make it in agreement. In this case, what is necessary is just to add or subtract the 2nd offset value to the 1st offset value to which the offset time amount of the external bus which receives a packet, and the external bus which transmits a packet was added by the 1st time stamp as 2nd offset value.

[0102] Moreover, although that from which all the terminals of packet transfer equipment serve as a cycle master node after bus reset to the bus which transmits and receives a packet was made into the example with the gestalt 1 of this operation when an isochronous packet was transmitted and received Like gate node 24b of drawing 16, when a self-node does not get used to a cycle master node The cycle-start packet broadcast from 1st STB101 used as a cycle master node in above-mentioned gate node 24b the bus criteria time of day which receives with the 1st packet-sending-and-receiving means 3, and is described at the cycle-start packet -- bus criteria time of day -- a time check -- a means 4 -- HERODO -- bus criteria time of day -- a time check -- it doubles at the criteria time of day when a cycle master shows the time of day of a means 4. However, since the criteria time of day of external buses 1a and 1c differs from external bus 1b at this time, the isochronous packet in external bus 1b cannot be transmitted.

[0103] (Gestalt 2 of operation) Drawing 10 is drawing for explaining the packet transfer equipment by the gestalt 2 of this operation, and is the block diagram showing the configuration of the gate node 64. The gate node 64 in the gestalt 2 of this operation The register 113 which stores the channel number for replacing with and sending out a packet to the channel number and the external bus of ** the transmitting origin to receive in the register means 107 in the gestalt 1 of operation, The 2nd memory means 60 which replaces with the 2nd memory means 13 in the gestalt 1 of operation, and classifies and stores the packet from the header rewriting means 12 for every transmitting origin, The 2nd read-out control means 62 which replaces with the 2nd read-out control means 15 in the gestalt 1 of operation, predicts the packet stored for every transmitting agency, and controls read-out of a packet, It newly has the 2nd memory selection means 63 which chooses the output of the memory means of the above 2nd. The configuration of others of the packet transfer equipment by the gestalt 2 of this operation is the same as that of the packet transfer equipment 100 of the gestalt 1 of operation.

[0104] Moreover, drawing 11 is drawing showing the configuration of the memory means 60 of the above 2nd in packet transfer equipment. The input terminal 65 into which the 2nd memory means 60 inputs the packet from the header rewriting means 12, A transmitting agency decision means 66 to judge the transmitting origin of the inputted packet and to classify a packet for every transmitting agency, Two or more FIFO memory means 67-70 to store the packet from the

above-mentioned transmitting agency decision means 66 for every transmitting origin, respectively. It has the read-out control terminal 75 which inputs the read-out control signal from the 2nd read-out control means 62, and the packet output terminals 71-74 which output the packet read from two or more above-mentioned FIFO memory means 67-70.

[0105] In addition, as for FIFO memory 67, with the FIFO memory means 67-70 in the 2nd memory means 60 of the gestalt 2 of this operation, each FIFO memory stores in gate 64a the packet from the gate node to which FIFO memory 68 corresponds by FIFO memory's 69 corresponding to gate 64c, and FIFO memory 70 corresponding to gate 64d again at gate 64b, respectively again.

[0106] Moreover, with the packet transfer equipment 200 in the gestalt 2 of this operation, two or more devices (node) shall be connected to each gate nodes 64a-64d of packet transfer equipment 200, and each gate nodes 64a-64d shall turn into a root node to the external buses 1a-1d corresponding to after bus reset, respectively.

[0107] Next, actuation is explained. In each gate nodes 64a-64d of packet transfer equipment 200, if it is decided after bus reset to each each gate nodes [64a-64d] external buses 1a-1d that it will be a root node, the time of day which the 1st clock means 22 shows will be read, and the criteria time of day for each gate node 64a-64d will be unified into the time of day which the clock means of the above 1st shows. If criteria time of day is unified between the external buses which transmit and receive a packet, a packet will be sent out from each gate node in the same actuation as the gestalt 1 of operation to an internal bus 21.

[0108] The gestalt 2 of this operation explains the actuation whose gate node 64a receives the isochronous packet which flows an internal bus 21. With the packet selection means 11 of gate node 64a, the packet which flows an internal bus 21 is supervised through the input terminal 20. When it is confirmed whether the channel number is specifically in agreement with the channel number contained in an isochronous packet header the transmitting origin included in the 2nd header of DV packet which flows an internal bus 21 with the packet selection means 11 the transmitting [which is outputted from the register means 113] origin to receive and it is in agreement, a packet is received from an internal bus 21 and the received packet is outputted to the header rewriting means 12.

[0109] With the header rewriting means 12, the channel number of the packet from the packet selection means 11 is rewritten by the channel number for sending out to external bus 1a of ** which the register means 113 outputted. In addition, this rewriting is made when the channel number in a transmitting agency external bus is already used by the external bus of **. It does not rewrite, when there is no need for rewriting. Moreover, as long as it is required, other parts of a header may be rewritten. Thus, the packet which finished rewriting of a header with the header rewriting means 12 is outputted to the 2nd memory means 63.

[0110] With the 2nd memory means 63, the inputted packet is classified for every transmitting origin, and is stored temporarily. With the 2nd memory means 60, specifically, the packet which rewriting of a header finished is stored until it is inputted into the transmitting agency decision means 66 from an input terminal 65, and a packet is classified for every transmitting agency, it is read into each FIFO memory of 67 to 70 and a read-out control signal is inputted with the transmitting agency decision means 66.

[0111] Thus, the packet stored in the FIFO memory of the above 67-70 is predicted by the 2nd read-out control means 62 at coincidence. The number of cycles contained in the 2nd header of the packet head read at this time and the offset value applied to the 1st time stamp are outputted to the number comparison means 61 of cycles. the number of cycles inputted with the number

comparison means 61 of cycles, and the 1st offset value (three cycles) -- adding -- this addition result and bus criteria time of day -- a time check -- the comparison with the criteria time of day which a means 4 outputs is performed, and if in agreement, the number coincidence signal of cycles will be outputted to the 2nd read-out control means 62.

[0112] Moreover, in the 2nd read-out control means 62, if the number coincidence signal of cycles is inputted from the number comparison means 61 of cycles, it reads to the 2nd memory means 13, and a control signal is outputted, and from the FIFO memory in which the packet to read was stored, a packet will be read and it will be outputted to the memory selection means 63. Concretely, with the 2nd memory means 13, it reads to FIFO memory 68 which stored the packet read from the read-out control terminal 75, and a control signal is outputted. If it reads to FIFO memory 68 and a control signal is inputted, the packet stored in FIFO memory 68 will be read, and it will be outputted to the memory selection means 63 from an output terminal 72. At this time, the output of FIFO memory 68 is chosen with the above-mentioned memory selection means 63 among the outputs of FIFO memories 67-70 in the 2nd memory means 60, and the packet inputted into this memory selection means 63 is outputted to the 1st packet-sending-and-receiving means 3.

[0113] Moreover, in addition to FIFO memory 68, by either of FIFO memories 67, 69, and 70, when it is judged that it reads to coincidence, with the memory selection means 63, the output of FIFO memories 67-70 is changed, and it is inputted so that 1 packet unit [every] read-out may be performed sequentially from each FIFO memory. With the 1st packet-sending-and-receiving means 3, reservation of the band of the packet to send out sends out the isochronous packet from gate node 64b which received with the internal bus 21 to external bus 1a.

[0114] thus, with the packet transfer equipment by the gestalt 2 of this operation Since the gate node 64 was equipped with the 2nd memory means 60 stored for every gate of transmitting [the packet sent out from each gate node] origin, and a memory selection means 63 to choose the output from the 2nd memory means 60 It can receive to coincidence, without mixing up and the packet transmitted from two or more external buses can be transmitted to the device (node) of each transmission place of the external bus of ** at coincidence.

[0115] Moreover, the 2nd memory means 60 of this packet transfer equipment It is got blocked when the number inversion of cycles arises using non-cycle control mold mediation, since it has two or more FIFO memories. Even when not received by the gate node of a receiving side as the sequence that the isochronous packet transmitted from each device (node) is a cycle, in the gate node of a receiving side From each device (node), it can transmit to the device (node) of a transmission place, and non-cycle control mold mediation can also carry out a mutual transfer of an isochronous packet to the sequence which is the cycle to which the isochronous packet was transmitted without conflict.

[0116] In addition, although gate node 64a explained the packet sent out on the internal bus 21 from two or more of other external buses with the gestalt 2 of this operation focusing on the actuation received to coincidence, while the above-mentioned gate node 64a has received the packet, even other gate nodes 64b-64d can receive the packet from the transmitting origin of the plurality on an internal bus 21 to coincidence, and can be transmitted to the external bus of **.

[0117] (Gestalt 3 of operation) Drawing 14 is the block diagram showing the configuration of the packet transfer equipment 300 for explaining the gestalt 3 of this operation. The bus 96 for criteria time of day for packet transfer equipment 300 to unify the criteria time of day of all external buses, It has the switches 92a-92d for broadcasting the time of day which a means 76 shows to other gate nodes. a time-of-day difference detection means 112 to detect the time-of-

day difference between external buses, and bus criteria time of day -- a time check -- the bus criteria time of day of each gate node -- a time check -- the means 76 is connected with the bus 96 for criteria time of day, or the time-of-day difference detection means 112 through the switch 92.

[0118] the bus criteria time of day of the gate where a self-node did not get used to a cycle master here -- a time check -- with a means 76 bus criteria time of day -- a time check -- through the bus 96 for criteria time of day, the time of day which a means 76 shows became a cycle master, and also broadcasts to the gate -- having -- the bus criteria time of day of the other gates - a time check -- with a means 76 The broadcast above-mentioned time of day is loaded from the bus 96 for criteria time of day, and the criteria time of day of the bus used as a cycle master is doubled at the criteria time of day of the bus which did not get used to a cycle master, and it is constituted so that criteria time of day between external buses may be made the same.

[0119] When not making criteria time of day the same, this packet transfer equipment 300 between the external buses which transmit and receive an isochronous packet moreover, a time-of-day difference detection means The time-of-day difference between the external buses which transmit and receive a packet is detected. By the gate node of a receiving side By bringing forward or delaying the part of the detected time-of-day difference, in case a packet is transmitted to the external bus of ** together with a transfer delay cycle, it is constituted so that the cycle of an isochronous packet and criteria time of day (criteria cycle) of an external bus may be made the same.

[0120] moreover, drawing 13 -- bus criteria time of day -- a time check -- it is the block diagram showing the configuration of a means 76. bus criteria time of day -- a time check -- with a means 76, the change means 83 has the input terminal 80 which inputs the absolute time of day which the 1st clock means 22 outputs, the input terminal 81 which inputs the cycle-start packet which received with the 1st isochronous packet transceiver means 3, and the input terminal 82 which inputs criteria time of day from the bus 96 for criteria time of day whenever it receives a cycle-start packet.

[0121] In the external buses 1a-1c which transmit and receive an isochronous packet with reference to drawing 16 with the gestalt 3 of this operation The gate nodes 79a and 79c of this packet transfer equipment 300 turn into a cycle master node to external buses 1a and 1c. Gate node 1b explains to an example the case where a packet is transmitted to 1st digital [102] one VCR of external bus 1a from 3rd digital [100] one VCR of external bus 1b, when it does not get used to the cycle master node of external bus 1b. Moreover, as for the cycle master node of external bus 1b, 1st STB101 shall become at this time. In addition, when the gate nodes 79a-79c of packet transfer equipment 300 turn into a cycle master node altogether, the same actuation as the gestalt 2 of operation is performed.

[0122] Next, actuation is explained. while gate node 79a and gate node 79c become a root node by the external buses 1a and 1c of ** after bus reset -- a cycle master node -- determining -- the moment and the 1st time of day -- a time check -- the absolute time of day which a means 22 outputs -- bus criteria time of day -- a time check -- it is loaded to a means 76, the above-mentioned absolute time of day describes at a cycle-start packet, and it is broadcast to external buses 1a and 1c.

[0123] at this time, the cycle-start packet broadcast from 1st STB101 used as a cycle master node inputs from the 1st isochronous packet transceiver means 3 by gate node 79b which did not get used to a cycle master node -- having -- bus criteria time of day -- a time check -- it is outputted to a means 76.

[0124] bus criteria time of day -- a time check -- with a means 76, the time of day described at the inputted cycle-start packet is loaded, and the loaded time of day is outputted to the bus 96 for criteria time of day through switch 92b. concrete -- bus criteria time of day -- a time check -- an input terminal 81 is chosen with the change means 83, and a cycle-start packet is inputted into a means 76 from an input terminal 81. If a cycle-start packet is inputted, the time of day described at the cycle-start packet will be loaded to counters 84, 85, and 86, and the loaded time of day will be outputted from an output terminal 87.

[0125] next, the criteria time of day of the above-mentioned gate node 79b which flows the bus 96 for criteria time of day in the gate nodes 79a and 79c used as a cycle master node -- input terminals 77a and 77c -- bus criteria time of day -- a time check -- it is inputted into a means 76, respectively. this time -- the bus criteria time of day of the gate nodes 79a and 79c -- a time check -- with a means, the inputted criteria time of day is loaded, and with the 1st packet-sending-and-receiving means, the loaded time of day is described at a cycle-start packet, and is outputted to each external buses 1a and 1c. concrete -- bus criteria time of day -- a time check -- with a means 76, an input terminal 82 is chosen with the change means 83, and the criteria time of day of gate node 79b which flows the bus 96 for criteria time of day from an input terminal 82 is inputted. And this inputted time of day is loaded to counters 84, 85, and 86, and the loaded time of day is outputted from an output terminal 87.

[0126] Thus, the criteria time of day of all the external buses that transmit and receive an isochronous packet is unified by doubling the gate nodes 79a and 79c which turned into a cycle master node among the external buses which perform transmission or reception of an isochronous packet at the criteria time of day of gate node 79b which did not get used to a cycle master node. Unification of the criteria time of day between the buses which transmit and receive an isochronous packet transmits and carries out the gate node 79b HE input of the isochronous packet from 3rd digital [100] one VCR. Transmission and reception of the following isochronous packets are performed in the same actuation as the gestalt 1 of operation.

[0127] Next, the case where criteria time of day of a bus is not unified is explained between the buses which transmit and receive an isochronous packet. When bus criteria time of day is not unified between the external buses which transmit and receive an isochronous packet, While a time-of-day difference detecting signal is outputted so that a time-of-day difference may be detected to the time-of-day difference detection means 109, respectively from the gate control means 109a and 109b in the gate nodes 79a and 79b bus criteria time of day -- a time check -- Means 76a and 76b -- bus criteria time of day -- a time check -- the time of day which Means 76a and 76b show is outputted to the time-of-day difference detection means 112, respectively -- as -- a time check -- a time-of-day output signal is outputted. bus criteria time of day -- a time check -- Means 76a and 76b -- the gate control means 109a and 109b -- a time check -- if a time-of-day output signal is inputted -- bus criteria time of day -- a time check -- it lets output terminals 78a and 78b pass, respectively, and the time of day which Means 76a and 76b show is outputted to the time-of-day difference detection means 112.

[0128] if the above-mentioned time-of-day difference detecting signal is inputted with the time-of-day difference detection means 112 -- the above-mentioned bus criteria time of day -- a time check -- from the criteria time of day of each external bus inputted from Means 76a and 76b, the time-of-day difference of the criteria time of day between external buses is detected, and the detected time-of-day difference is outputted to 1st time stump offset means 7b of gate node 79b as 2nd offset value. Thus, if the criteria time-of-day difference between the external buses which transmit and receive an isochronous packet is detected, an isochronous packet will be transmitted

from 3rd digital [100] one VCR, and it will be received by gate node 79b.

[0129] Hereafter, by gate node 79b of a transmitting side, the 1st time stamp offset means 7 applies the 1st offset value as 3 cycles for transfer delay, and the 2nd offset value as a time-of-day difference between external buses to a time stamp, and also the same actuation as the gestalt 1 of operation is performed, and, as for transmission and reception of an isochronous packet, an isochronous packet is transmitted.

[0130] On the other hand, in gate node 79a of a receiving side, only the part of the 1st offset value added to the time stamp and the 2nd offset value brings forward or delays timing which transmits a packet, and transmits a packet to external bus 1a. The number comparison means 14 of cycles adds the 1st and 2nd offset value applied to the time stamp as a transfer delay cycle and a time-of-day difference to the number of cycles contained in the 2nd header of a packet, and, specifically, compares [whether this added value is in agreement with the criteria time of day of external bus 1a, and]. The same actuation as the gestalt 1 of operation is performed, an isochronous packet is received from an internal bus 21, and others are transmitted to external bus 1a of **.
 [0131] Thus, the packet transfer equipment 300 in the gestalt 3 of this operation Since it is considered as the configuration which doubles the criteria time of day of other cycle master nodes and the gate node which got used at the criteria time of day which the gate node which was equipped with the bus 96 for criteria time of day, and did not get used to a cycle master node to the external bus shows Even if a cycle master node and the gate node which did not get used are in the gate node which transmits and receives an isochronous packet Criteria time of day can be made the same between the external buses which transmit and receive an isochronous packet, and an isochronous packet can be transmitted and received.

[0132] Packet transfer equipment 300 is equipped with the time-of-day difference detection means 112. Moreover, in the gate node of a transmitting side The time-of-day difference between the external buses which transmit and receive an isochronous packet is detected. In the gate node of a receiving side Since only the part of a transfer delay cycle and the detected time-of-day difference was constituted so that the transfer to the external bus of ** of an isochronous packet might be brought forward or delayed, an isochronous packet can be transmitted and received even if it does not make criteria time of day in agreement between different external buses.

[0133] Furthermore, it becomes possible to realize simply packet transfer processing with the gestalt of each above-mentioned implementation in the independent computer system by recording a packet transfer processing program for software performing packet transfer processing by the packet transfer equipment shown with the gestalt of each above-mentioned implementation on data carriers, such as a floppy disk.

[0134] Drawing 17 is drawing for explaining the case where packet transfer processing of the gestalt of each above-mentioned implementation is carried out according to a computer system using the floppy disk which stored the above-mentioned packet transfer processing program.

Drawing 17 (a) From the transverse plane of a floppy disk, the appearance and cross-section structure where it saw, and the body of a floppy disk are shown, and it is drawing 17 (b). The example of the physical format of this body of a floppy disk is shown. The above-mentioned floppy disk FD has structure which held the above-mentioned body D of a floppy disk in the floppy disk case FC. From the periphery, two or more trucks Tr are formed in the front face of this body D of a floppy disk toward inner circumference concentric circular. Each truck Tr is divided into the sector Se of 16 in the include-angle direction. Therefore, by the floppy disk FD which stored the above-mentioned program, the data as the above-mentioned program were being recorded on the field (sector) Se to which the above-mentioned body D of a floppy disk

was assigned on it. Moreover, drawing 17 (c) The configuration for performing record of the above-mentioned program over a floppy disk FD and packet transfer processing by the software using the packet transfer processing program stored in the floppy disk FD is shown.

[0135] When recording the above-mentioned program on a floppy disk FD, the data as the above-mentioned packet transfer processing program are written in a floppy disk FD through a floppy disk drive FDD from a computer system Cs. Moreover, when building the above-mentioned packet transfer equipment in a computer system Cs with the packet transfer processing program recorded on the floppy disk FD, a packet transfer processing program is read from a floppy disk FD by the floppy disk drive FDD, and it loads to a computer system Cs.

[0136] In addition, in the above-mentioned explanation, although the floppy disk was mentioned as an example of a data carrier, even if it uses an optical disk, packet transfer processing by software can be performed like the case of the above-mentioned floppy disk. Furthermore, as long as it restricts a data carrier to neither the above-mentioned optical disk nor a floppy disk and an IC card, a ROM cassette, etc. can record a program, what kind of thing may be used, and even when using these data-logging media, packet transfer processing by software can be carried out like the case where the above-mentioned floppy disk etc. is used.

[0137]

EFFECT OF THE INVENTION

[Effect of the Invention] As mentioned above, according to the packet transfer equipment concerning invention according to claim 1 The inside of the 1st which has transmission function of isochronous packet to n-th (n is the two or more natural numbers) external bus, It is equipment which transmits an isochronous packet to the k-th (k is the natural number of arbitration of 1 to n) external bus of arbitration from the j-th (j is the natural number of 1 to n) external bus of arbitration. Each n-th external bus is connected from the internal bus to which the isochronous packet from the j-th external bus to the k-th external bus of arbitration of arbitration is transmitted, the above-mentioned internal bus, and the above 1st. Between one's external bus and the above-mentioned internal bus From the 1st which transmits and receives an isochronous packet between the n-th (n is the two or more natural numbers) gate node and the k-th external bus of the j-th and arbitration of the arbitration which performs transmission and reception of an isochronous packet It has the effectiveness that a mutual transfer of an isochronous packet can be performed, without producing interruption of the transfer accompanying bus reset in 63 or more sets of the devices connected to a different external bus, since it shall have a synchronous means to synchronize the criteria time of day of an external bus.

[0138] According to the packet transfer equipment concerning invention according to claim 2, it sets to packet transfer equipment according to claim 1. Moreover, the n-th gate node from the above 1st The 1st packet-sending-and-receiving means which transmits and receives the packet from its external bus and above-mentioned internal bus, A time stamp judging means to judge whether the time stamp is contained in the received isochronous packet, A time stamp location detection means to detect the location of the above-mentioned time stamp, A time stamp offset means to be based on the positional information of the detected above-mentioned time stamp, and to add or subtract an offset value to a time stamp, An internal bus header addition means to add the 2nd header including the destination or the information on the source, and the information used for transmission and reception with an internal bus to an isochronous packet,

The 1st memory means which stores the isochronous packet which added the 2nd header of the above, The 1st read-out control means which predicts the 2nd header added to the isochronous packet stored in the memory means of the above 1st, and controls the transfer of an isochronous packet to an internal bus from the 1st memory means, Since it shall be characterized by transmitting the isochronous packet which ****(ed) and received from its external bus to an internal bus It has the effectiveness that a mutual transfer of an isochronous packet can be performed between different external buses, and a mutual transfer of an isochronous packet can be performed in 63 or more sets of devices.

[0139] According to the packet transfer equipment concerning invention according to claim 3, it sets to packet transfer equipment according to claim 1 or 2. Moreover, the n-th gate node from the above 1st A packet selection means to choose a specific packet from the isochronous packet which flows an internal bus, and to receive, A register means to hold the channel number for sending out the isochronous packet which received to one's external bus, The header rewriting means which rewrites the packet header of the isochronous packet which received based on the output from the above-mentioned register means, The 2nd memory means which stores the isochronous packet by which the above-mentioned packet header was rewritten, The number of cycles contained in the 2nd header of the above and the offset value included in a time stamp are added. This added value, The isochronous packet stored in a number comparison means of cycles to measure the criteria cycle of an external bus, and the memory means of the above 2nd is predicted. The 2nd read-out control means which controls a transfer of the isochronous packet from the 2nd memory means to its external bus, Since it shall be characterized by transmitting the isochronous packet which ****(ed) and received from the internal bus to one's external bus It has the effectiveness that a mutual transfer of an isochronous packet can be performed between different external buses, and a mutual transfer of an isochronous packet can be performed in 63 or more sets of devices.

[0140] According to the packet transfer equipment concerning invention according to claim 4, it sets to packet transfer equipment according to claim 1. Moreover, the above-mentioned synchronous means the bus criteria time of day which synchronizes the time amount of the above-mentioned external bus with an external bus on the basis of the 1st clock means which clocks time amount independently, and the clock means of the above 1st -- a time check, since it shall be characterized by having a means Criteria time of day can be synchronized between different external buses, and it has the effectiveness that a mutual transfer of an isochronous packet can be performed.

[0141] moreover -- according to the packet transfer equipment concerning invention according to claim 5 -- packet transfer equipment according to claim 4 -- setting -- the above-mentioned bus criteria time of day -- a time check -- a means Since it shall be characterized by making the time of day which the clock means of the above 1st shows, and the criteria time of day of the above-mentioned external bus do ** 1, criteria time of day can be made the same between different external buses, and it has the effectiveness that a mutual transfer of an isochronous packet can be performed.

[0142] Moreover, the packet transfer equipment concerning invention according to claim 6 In packet transfer equipment according to claim 1 the above-mentioned synchronous means It has a bus for criteria time of day for broadcasting the time of day which a means shows to another gates node. the above-mentioned bus criteria time of day -- a time check -- Since it shall be characterized by synchronizing the criteria time of day of other external buses with arbitration or the criteria time of day of a specific external bus The gate node to which a self-node did not get

used to a cycle master node also has the effectiveness that a mutual transfer of an isochronous packet can be performed, among other external buses.

[0143] According to the packet transfer equipment concerning invention according to claim 7, it sets to packet transfer equipment according to claim 6. Moreover, the above-mentioned bus for criteria time of day Since it shall be characterized by making the criteria time of day of other external buses do to arbitration or the criteria time of day of a specific external bus ** 1 Even if it does not make criteria time of day the same between the external buses which transmit and receive an isochronous packet, it has the effectiveness that a mutual transfer of an isochronous packet can be performed.

[0144] According to the packet transfer equipment concerning invention according to claim 8, it sets to packet transfer equipment given in claims 5 or 7. Moreover, the above-mentioned synchronous means Since it shall be characterized by making 4 bits of low order do ** 1 at least among the bits showing the number of cycles of an external bus The criteria time of day between the external buses which perform a mutual transfer of an isochronous packet becomes the same, and it has the effectiveness that a mutual transfer of an isochronous packet can be performed.

[0145] Moreover, according to the packet transfer equipment concerning invention according to claim 9, in packet transfer equipment given in either of claims 4-8, since it shall be characterized by having the synchronous precision of the transmission cycle unit of an isochronous packet, the above-mentioned synchronous means has the effectiveness that a mutual transfer of an isochronous packet can be performed between different external buses.

[0146] According to the packet transfer equipment concerning invention according to claim 10, it sets to packet transfer equipment according to claim 2. Moreover, the above-mentioned offset means Since it shall be characterized by adding the 1st offset value specified by the time amount taken to transmit a packet to the k-th external bus of the above from the j-th external bus of the above to the above-mentioned time stamp The cycle of an isochronous packet and criteria time of day (criteria cycle) of the gate node of a receiving side can be made the same, and it has the effectiveness that a mutual transfer of an isochronous packet can be performed between different external buses.

[0147] Moreover, according to the packet transfer equipment concerning invention according to claim 11, it sets to packet transfer equipment according to claim 2. It has a time-of-day difference detection means to detect the 2nd offset value specified according to the difference of the criteria time of day of the j-th external bus of the above, and the criteria time of day of the k-th external bus of the above. The above-mentioned time stamp offset means The offset value of the above 1st, Since it shall be characterized by adding or subtracting to the time stamp which carried out [above-mentioned] detection of the value adding the offset value of the above 2nd It has the effectiveness that a mutual transfer of an isochronous packet can be performed between different external buses, without making criteria time of day the same between the external buses which perform a mutual transfer of an isochronous packet.

[0148] Moreover, according to the packet transfer equipment concerning invention according to claim 12, in packet transfer equipment given in claims 10 or 11, since it shall be characterized by the offset value of the above 1st being a fixed cycle value, it has the effectiveness that the cycle of an isochronous packet and criteria time of day (criteria cycle) of the gate node of a receiving side can be made the same.

[0149] Moreover, according to the packet transfer equipment concerning invention according to claim 13, in packet transfer equipment given in claims 10 or 11, since it shall be characterized by the offset value of the above 2nd being a fixed cycle value, it has the effectiveness that the cycle

of an isochronous packet and criteria time of day (criteria cycle) of the gate node of a receiving side can be made the same.

[0150] Moreover, the packet transfer equipment concerning invention according to claim 14 The 2nd clock means which outputs a mediation cycle to either of claims 1-13 in the packet transfer equipment of a publication, An internal bus mediation means to arbitrate the demand which uses the internal bus outputted from each n-th gate node from the above 1st, and to grant a bus royalty to each gate node in order, Since it shall be characterized by being what **** and transmits the isochronous packet from each n-th external bus to [from the above 1st] the above-mentioned internal bus, by the device (node) of a receiving side It can receive in the sequence that the isochronous packet was transmitted from the device (node) of a transmitting side, and has the effectiveness that a mutual transfer of the isochronous packet between different external buses can be performed without conflict.

[0151] According to the packet transfer equipment concerning invention according to claim 15, it sets to packet transfer equipment according to claim 14. Moreover, the read-out control means of the above 1st The above-mentioned mediation cycle is compared with the number of cycles when the packet-sending-and-receiving means of the above 1st receives an isochronous packet. If the demand which uses a bus is outputted to the above-mentioned internal bus mediation means and a bus royalty is acquired from the above-mentioned internal bus mediation means when the number of cycles is in agreement If it finishes sending out the packet which should control to send out the isochronous packet stored in the memory means of the above 1st to an internal bus, and should be sent out It is what outputs a cycle out signal to the above-mentioned internal bus mediation means. The above-mentioned internal bus mediation means By granting a bus royalty to the following gate node which is demanding use of an internal bus, if the above-mentioned cycle out signal is inputted Since it shall be characterized by being what changes the duration of service of the internal bus by each n-th external bus from the above 1st, by the device (node) of a receiving side It can receive in the sequence that the isochronous packet was transmitted from the device (node) of a transmitting side, and has the effectiveness that a mutual transfer of the isochronous packet between different external buses can be performed without conflict.

[0152] Moreover, according to the packet transfer equipment concerning invention according to claim 16, it sets to packet transfer equipment according to claim 15. In case an isochronous packet is transmitted to the above-mentioned internal bus from the j-th external bus of the above, the memory means of the above 1st Since it shall be characterized by being what stores a period until it acquires the bus royalty of the above-mentioned internal bus, and an isochronous packet In the sequence that the isochronous packet was transmitted from the device (node) of a transmitting side, it has the effectiveness that an isochronous packet can be transmitted, to the device (node) of a receiving side.

[0153] Moreover, according to the packet transfer equipment concerning invention according to claim 17, it sets to packet transfer equipment according to claim 15. In case an isochronous packet is transmitted to the k-th external bus of the above from the above-mentioned internal bus, the memory means of the above 2nd Since it shall be characterized by being what stores a period until it acquires the royalty of the k-th external bus of the above, and an isochronous packet An isochronous packet is synchronized with the criteria time of day of the external bus of a receiving side, and it has the effectiveness that it can transmit to the device (node) of a receiving side.

[0154] Moreover, according to the packet transfer equipment concerning invention according to claim 18, in packet transfer equipment according to claim 16, since it shall be characterized by

the memory means of the above 1st being what is constituted by the FIFO memory means, it has the effectiveness that an isochronous packet can be transmitted, to the device (node) of a receiving side in the sequence that the isochronous packet was transmitted from the device (node) of a transmitting side.

[0155] Moreover, since it shall be characterized by the memory means of the above 2nd being what is constituted by the FIFO memory means in packet transfer equipment according to claim 17 according to the packet transfer equipment concerning invention according to claim 19, an isochronous packet is synchronized with the criteria time of day of the external bus of a receiving side, and it has the effectiveness that it can transmit to the device (node) of a receiving side.

[0156] According to the packet transfer equipment concerning invention according to claim 20, it sets to packet transfer equipment according to claim 19. Moreover, the memory means of the above 2nd Since it shall be characterized by being what consists of M FIFO memory means (M is the natural number) to classify the isochronous packet which received from the above-mentioned internal bus per external bus of a transmitting agency, and to store it The isochronous packet transmitted from two or more devices (node) can be received to coincidence, and it has the effectiveness that it can transmit to two or more devices (node) of a reception place without conflict.

[0157] Moreover, since it shall be characterized by the n-th external bus and above-mentioned internal bus being a bus of the same specification from the above 1st in packet transfer equipment according to claim 1 according to the packet transfer equipment concerning invention according to claim 21, it has the effectiveness that a mutual transfer of the isochronous packet between different external buses can be performed.

[0158] Moreover, according to the packet transfer equipment concerning invention according to claim 22, in packet transfer equipment according to claim 1, since it shall be characterized by being $1/2$ or less [of total of the isochronous packet maximum transmission rate of the n-th external bus] from the above 1st, the maximum transmission rate of the above-mentioned internal bus has the effectiveness that all packets when using the maximum transfer rate by all external buses can be transmitted.

[0159] Moreover, since it shall be characterized by for the above 1st to the n-th external bus being a serial bus, and the above-mentioned internal bus being a parallel bus in packet transfer equipment according to claim 1 according to the packet transfer equipment concerning invention according to claim 23, a high transmission rate can be obtained easily and it has the effectiveness that a mutual transfer of the isochronous packet between different external buses is easily realizable.

[0160] Moreover, according to the packet transfer equipment concerning invention according to claim 24, in packet transfer equipment according to claim 1, from the above 1st, since it shall be characterized by being a synchronous clock, the bus clock of the n-th external bus and the bus clock of the above-mentioned internal bus have the same or the effectiveness that a mutual transfer of the isochronous packet between different external buses is easily realizable.

[0161] Moreover, since it shall be characterized by the n-th external bus being an IEEE1394 serial bus from the above 1st in packet transfer equipment given in either of claims 1-24 according to the packet transfer equipment concerning invention according to claim 25, it has the effectiveness that a mutual transfer of the isochronous packet between different external buses can be performed.

[0162] Moreover, since it shall be characterized by the n-th external bus being USB (Universal Serial Bus) from the above 1st in packet transfer equipment given in either of claims 1-25

according to the packet transfer equipment concerning invention according to claim 26, it has the effectiveness that a mutual transfer of the isochronous packet between different external buses can be performed.

[0163] Moreover, the inside of the 1st which has transmission function of isochronous packet according to record medium concerning invention according to claim 27 to n-th (n is the two or more natural numbers) external bus, It is the record medium which stored the packet transfer processing program for making packet transfer processing in which an isochronous packet is transmitted to the k-th (k is the natural number of 1 to n) external bus of arbitration perform to a computer from the j-th (for j to be the natural number of 1 to n) external bus of arbitration. Since the above-mentioned packet transfer processing program shall be characterized by storing in either of claims 1-26 the program to which the packet transfer processing by the packet transfer equipment of a publication is made to carry out to a computer It has the effectiveness that a mutual transfer of an isochronous packet can be performed, without producing interruption of the transfer accompanying bus reset in 63 or more sets of the devices connected to a different external bus.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the gate node 24 of the gestalt 1 of this operation.

[Drawing 2] the bus criteria time of day in the gestalten 1 and 2 of this operation -- a time check -- it is the block diagram showing the configuration of a means 4.

[Drawing 3] Drawing 3 (a) is structural drawing showing the isochronous packet of an IEEE1394 serial bus, and drawing 3 (b) and drawing 3 (c) are structural drawings showing an example of the header unit (isochronous packet header and CIP header) of DV packet.

[Drawing 4] Drawing 4 (a) and drawing 4 (b) are structural drawings showing an example of the header unit (isochronous packet header and CIP header) of DV packet.

[Drawing 5] Drawing 5 (a) and drawing 5 (b) are drawings showing the structure of the internal bus header (the 2nd header) which is added to an isochronous packet head and used in the case of transmission and reception with an internal bus and an external bus.

[Drawing 6] It is the block diagram showing the configuration of the 1st memory means 9 in the gestalten 1-3 of this operation, and the 2nd memory means 13.

[Drawing 7] It is a timing diagram Fig. for explaining non-cycle control mold mediation of this invention.

[Drawing 8] It is a timing diagram Fig. for explaining cycle control mold mediation of this invention.

[Drawing 9] It is the block diagram showing the configuration of the packet transfer equipment in the gestalten 1 and 2 of this operation.

[Drawing 10] It is the block diagram showing the configuration of the gate node 64 in the gestalt 2 of this operation.

[Drawing 11] It is the block diagram showing the configuration of the 2nd memory 60 in the gestalt 2 of this operation.

[Drawing 12] It is the block diagram showing the configuration of the gate node 79 in the gestalt 3 of this operation.

[Drawing 13] the bus criteria time of day in the gestalt 3 of this operation -- a time check -- it is the block diagram showing the configuration of a means 76.

[Drawing 14] It is drawing showing the configuration of the packet transfer equipment 300 in the gestalt 3 of this operation.

[Drawing 15] It is drawing showing the example of connection of the packet transfer equipment of this invention, and two or more external buses to which two or more devices (node) were connected.

[Drawing 16] It is drawing showing the example of connection of the packet transfer equipment of this invention, and two or more external buses to which two or more devices (node) were connected.

[Drawing 17] Drawing 17 (a) and (b) are the data-logging media which stored the packet transfer processing program for a computer system to perform packet transfer processing of the gestalt of each above-mentioned implementation, and drawing 17 (c) is drawing for explaining the above-mentioned computer system.

[Drawing 18] Drawing 18 (a) and drawing 18 (b) are the conceptual diagrams showing transmission of the isochronous packet of IEEE1394.

[Drawing 19] Drawing 19 (a) and drawing 19 (b) are drawings showing the example of connection of the conventional IEEE1394 serial bus and a conventional device (node).

[Description of Notations]

1,203,204 External bus

3 1st Isochronous Packet Transceiver Means

4 and 76 bus criteria time of day -- a time check -- means

5 1st Time Stamp Judging Means

6 1st Time Stamp Location Detection Means

7 1st Time Stamp Offset Means

8 Internal Bus Header Addition Means

9 1st Memory Means

10 1st Read-out Control Means

11 Packet Selection Means

12 Header Rewriting Means

13 2nd Memory Means

14 The Number Comparison Means of Cycles

21 Internal Bus

22 1st Clock Means

23 Internal Bus Mediation Means

24, 64, 79 Gate node

27 83 Change means

28, 29, 30, 84, 85, 86 Counter means

32, 38, 41, 44, 47 Isochronous packet header

33, 39, 42, 45, 48 Header CRC

34, 40, 43, 46, 49 CIP header

35 Data Field

36 Data CRC

37 Packet Data

50 51 The 2nd header (internal bus header)
53, 67, 68, 69, 70 FIFO memory
66 Transmitting Agency Decision Means
92 Switch
96 Criteria Time-of-Day Bus
106 The Number Maintenance Means of Cycles
107 2nd Clock Means
108,113 Register means
109 Gate Control Means
112 Time-of-Day Difference Detection Means
98, 99, 100, 101, 102, 103, 104,201,202,203 Terminal equipment
206 Cycle-Start Packet
207 Mediation Period
208 Data Prefix Period
209 Isochronous Packet
210 Data and Period
Cs Computer system
D Floppy disk
FC Floppy disk case
FD Floppy disk
FDD Floppy disk drive
Se Sector
Tr Truck

[Translation done.]

DRAWINGS

特開 2000-332798

(P 2000-332798A)

(43) 公開日 平成12年11月30日 (2000.11.30)

(51) Int. Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 4 L 12/40

H 0 4 L 11/00 3 2 0

5K032

審査請求 未請求 請求項の数 27 O L

(全 29 頁)

(21) 出願番号 特願平11-139137

(22) 出願日 平成11年5月19日 (1999. 5. 19)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 浜本 康男

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 武田 英俊

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100081813

弁理士 早瀬 憲一

F ターム (参考) 5K032 CC10 CC13 CD01 DB18 DB19

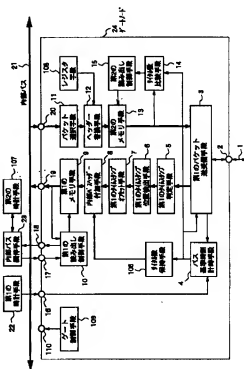
DB22 DB27

(54) 【発明の名称】 バケット転送装置、及びデータ記録媒体

(57) 【要約】

【課題】 異なる IEEE 1394 シリアルバスに接続された 63 台以上の機器間でアイソクロナスバケットの相互転送が可能であり、アイソクロナスバケットの転送を中断せずに機器の追加、切断等を行うことが可能なバケット転送装置を提供する。

【解決手段】 バケット転送装置は、異なる外部バスへアイソクロナスバケットを伝送するための内部バスと、上記内部バスと複数の外部バスとを接続し、自の外部バス及び上記内部バスとの間でアイソクロナスバケットの送受信を行うゲートノードと、外部バス間の基準時刻を同期させる同期手段と、タイムスタンプにオフセット値を加えるオフセット手段と、を備え、外部バス間の基準時刻を同一にした上で、送信側のゲートノードより内部バスへアイソクロナスバケットを送信し、受信側のゲートノードでは、内部バスより受信したアイソクロナスバケットを、転送遅延分のサイクルだけ早めたり遅らせて、自の外部バスへ転送する。



【特許請求の範囲】

【請求項 1】 アイソクロナスパケットの伝送機能を有する第 1 から第 n (n は 2 以上の自然数) の外部バスとの、任意の第 j (j は 1 から n の自然数) の外部バスから、任意の第 k (k は 1 から n の任意の自然数) の外部バスへアイソクロナスパケットを転送する装置であって、任意の第 j の外部バスから任意の第 k の外部バスへのアイソクロナスパケットの転送を行う内部バスと、上記内部バスと、上記第 1 から第 n の各外部バスとを接続し、自らの外部バス及び、上記内部バスとの間で、アイソクロナスパケットの送受信を行う第 1 から第 n (n は 2 以上の自然数) のゲートノードと、アイソクロナスパケットの送受信を行う任意の第 j と任意の第 k の外部バスとの間で、外部バスの基準時刻を同期させる同期手段と、を有することを特徴とするパケット転送装置。

【請求項 2】 請求項 1 に記載のパケット転送装置において、上記第 1 から第 n のゲートノードは、自らの外部バス、及び上記内部バスからのパケットの送受信を行う第 1 のパケット送受信手段と、受信されたアイソクロナスパケットにタイムスタンプが含まれているか否か、を判定するタイムスタンプ判定手段と、上記タイムスタンプの位置を検出するタイムスタンプ位置検出手段と、検出された上記タイムスタンプの位置情報に基づき、タイムスタンプにオフセット値を加算、もしくは減算するタイムスタンプオフセット手段と、転送先または転送元の情報、及び内部バスでの送受信に用いる情報を含む第 2 のヘッダをアイソクロナスパケットに付加する内部バスヘッダ付加手段と、上記第 2 のヘッダを付加したアイソクロナスパケットを格納する第 1 のメモリ手段と、上記第 1 のメモリ手段に格納されたアイソクロナスパケットに付加された第 2 のヘッダを先読みし、第 1 のメモリ手段から内部バスへのアイソクロナスパケットの転送を制御する第 1 の読み出し制御手段と、を有し、自らの外部バスから受信したアイソクロナスパケットを、内部バスへ転送することを特徴とするパケット転送装置。

【請求項 3】 請求項 1 または 2 に記載のパケット転送装置において、上記第 1 から第 n のゲートノードは、内部バスを流れるアイソクロナスパケットより特定のパケットを選択し受信するパケット選択手段と、受信したアイソクロナスパケットを自らの外部バスへ送出するためのチャンネルナンバを保持するレジスタ手段

と、受信したアイソクロナスパケットのパケットヘッダを、上記レジスタ手段からの出力に基づき書き換えるヘッダ書換え手段と、上記パケットヘッダの書き換えられたアイソクロナスパケットを格納する第 2 のメモリ手段と、上記第 2 のヘッダに含まれるサイクル数と、タイムスタンプに含まれるオフセット値とを加算し、この加算した値と、外部バスの基準サイクルとを比較するサイクル数比較手段と、上記第 2 のメモリ手段に格納されたアイソクロナスパケットを先読みし、第 2 のメモリ手段から自らの外部バスへのアイソクロナスパケットの転送を制御する第 2 の読み出し制御手段と、を有し、内部バスから受信したアイソクロナスパケットを、自らの外部バスへ転送することを特徴とするパケット転送装置。

【請求項 4】 請求項 1 に記載のパケット転送装置において、上記同期手段は、外部バスとは独立して時間を計時する第 1 の時計手段と、上記第 1 の時計手段を基準として、上記外部バスの時間を同期させるバス基準時刻計時手段と、を有することを特徴とするパケット転送装置。

【請求項 5】 請求項 4 に記載のパケット転送装置において、上記バス基準時刻計時手段は、上記第 1 の時計手段の示す時刻と、上記外部バスの基準時刻とを、概一致させることを特徴とするパケット転送装置。

【請求項 6】 請求項 1 に記載のパケット転送装置において、上記同期手段は、上記バス基準時刻計時手段の示す時刻を、他ゲートへブロードキャストするための基準時刻用バスを有し、任意の、もしくは特定の外部バスの基準時刻に、他の外部バスの基準時刻を同期させることを特徴とするパケット転送装置。

【請求項 7】 請求項 6 に記載のパケット転送装置において、上記基準時刻用バスは、任意の、もしくは特定の外部バスの基準時刻に、他の外部バスの基準時刻を概一致させることを特徴とするパケット転送装置。

【請求項 8】 請求項 5、または 7 に記載のパケット転送装置において、上記同期手段は、外部バスのサイクル数を表すビットの内、少なくとも下

3
位4ビットを概一致させることを特徴とするバケット転送装置。

【請求項9】 請求項4から8のいずれかに記載のバケット転送装置において、
上記同期手段は、
アイソクロナスバケットの伝送サイクル単位の同期精度を有することを特徴とするバケット転送装置。

【請求項10】 請求項2に記載のバケット転送装置において、
上記オフセット手段は、
上記第jの外部バスから上記第kの外部バスへバケットを転送するのに要する時間により規定される第1のオフセット値を、上記タイムスタンプに加算することを特徴とするバケット転送装置。

【請求項11】 請求項2に記載のバケット転送装置において、
上記第jの外部バスの基準時刻と、上記第kの外部バスの基準時刻の差により規定される第2のオフセット値を検出する時刻差検出手段を有し、
上記タイムスタンプオフセット手段は、
上記第1のオフセット値と、上記第2のオフセット値とを加算した値を、上記検出したタイムスタンプに、加算もしくは減算することを特徴とするバケット転送装置。

【請求項12】 請求項10、または11に記載のバケット転送装置において、
上記第1のオフセット値は、固定サイクル値であることを特徴とするバケット転送装置。

【請求項13】 請求項10、または11に記載のバケット転送装置において、
上記第2のオフセット値は、固定サイクル値であることを特徴とするバケット転送装置。

【請求項14】 請求項1から13のいずれかに記載のバケット転送装置において、
調停サイクルを出力する第2の時計手段と、
上記第1から第nの各ゲートノードより出力された内部バスを使用する要求を調停し、順にバス使用権を各ゲートノードへ与える内部バス調停手段と、
を有し、
上記第1から第nの各外部バスから上記内部バスへのアイソクロナスバケットの転送を行うものであることを特徴とするバケット転送装置。

【請求項15】 請求項14に記載のバケット転送装置において、
上記第1の読み出し制御手段は、
上記調停サイクルと、上記第1のバケット送受信手段がアイソクロナスバケットを受信したときのサイクル数とを比較し、サイクル数が一致した時にバスを使用する要求を上記内部バス調停手段へ出力し、上記内部バス調停手段よりバス使用権が得られると、上記第1のメモリ手段に格納されているアイソクロナスバケットを内部バス

へ送出するように制御し、送出すべきバケットを送出し終えると、上記内部バス調停手段へサイクルダン信号を出力するものであり、
上記内部バス調停手段は、
上記サイクルダン信号が入力されると、内部バスの使用を要求している次のゲートノードへバス使用権を与えることにより、上記第1から第nの各外部バスによる内部バスの使用期間を切替えるものであることを特徴とするバケット転送装置。

10 【請求項16】 請求項15に記載のバケット転送装置において、
上記第jの外部バスから上記内部バスへアイソクロナスバケットを転送する際、
上記第1のメモリ手段は、
上記内部バスのバス使用権を獲得するまでの期間、アイソクロナスバケットを格納するものであることを特徴とするバケット転送装置。

【請求項17】 請求項15に記載のバケット転送装置において、
20 上記内部バスから上記第kの外部バスへアイソクロナスバケットを転送する際、
上記第2のメモリ手段は、
上記第kの外部バスの使用権を獲得するまでの期間、アイソクロナスバケットを格納するものであることを特徴とするバケット転送装置。

【請求項18】 請求項16に記載のバケット転送装置において、
上記第1のメモリ手段は、
FIFOメモリ手段により構成されるものであることを特徴とするバケット転送装置。

30 【請求項19】 請求項17に記載のバケット転送装置において、
上記第2のメモリ手段は、
FIFOメモリ手段により構成されるものであることを特徴とするバケット転送装置。

【請求項20】 請求項19に記載のバケット転送装置において、
上記第2のメモリ手段は、
上記内部バスより受信したアイソクロナスバケットを、送信元の外部バス単位で分類して格納するM個（Mは自然数）のFIFOメモリ手段より構成されるものであることを特徴とするバケット転送装置。

【請求項21】 請求項1に記載のバケット転送装置において、
上記第1から第nの外部バスと、上記内部バスは同一規格のバスであることを特徴とするバケット転送装置。

【請求項22】 請求項1に記載のバケット転送装置において、
上記内部バスの最大伝送レートは、上記第1から第nの外部バスのアイソクロナスバケット最大伝送レートの総

和の $1/2$ 以下であることを特徴とするバケット転送装置。

【請求項23】 請求項1に記載のバケット転送装置において、

上記第1から第 n の外部バスはシリアルバスであり、上記内部バスはパラレルバスであることを特徴とするバケット転送装置。

【請求項24】 請求項1に記載のバケット転送装置において、

上記第1から第 n の外部バスのバスクロックと上記内部バスのバスクロックは、同一もしくは同期クロックであることを特徴とするバケット転送装置。

【請求項25】 請求項1から24のいずれかに記載のバケット転送装置において、

上記第1から第 n の外部バスは、IEEE1394シリアルバスであることを特徴とするバケット転送装置。

【請求項26】 請求項1から25のいずれかに記載のバケット転送装置において、

上記第1から第 n の外部バスは、USB(Universal Serial Bus)であることを特徴とするバケット転送装置。

【請求項27】 アイソクロナスパケットの伝送機能を有する第1から第 n (n は2以上の自然数)の外部バスの内、任意の第 j (j は1から n の自然数)の外部バスから、任意の第 k (k は1から n の自然数)の外部バスへアイソクロナスパケットを転送するバケット転送処理プログラムを格納した記録媒体であって、

上記バケット転送処理プログラムは、請求項1から26のいずれかに記載のバケット転送装置によるバケット転送処理プログラムをコンピュータに行わせるものであることを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IEEE1394シリアルバス等に代表される、アイソクロナスパケット伝送機能を有し、バスを複数接続するバケット転送装置に関するものである。

【0002】

【従来の技術】 近年、IEEE1394シリアルバス等のISO/IEC13213準拠シリアルバスを用いて、デジタルVCR、またはパーソナルコンピュータ等のAVC機器を複数接続してネットワークを形成し、機器間のデータ伝送が行われている。IEEE1394シリアルバスでは、125 μ secをデータ伝送の1サイクルとしている。また、IEEE1394シリアルバスでは、送信要求に応じて直ちにデータ伝送が行われるアイソクロナス通信(同期通信)と、場合によってはデータの送信が送信要求の発生から遅れて行われるアシンク

ロナス(非同期通信)が定義されている。上記アイソクロナス通信は、AV(Audio Video)データのようなリアルタイム性が要求されるデータの伝送に用いられる通信方法である。このアイソクロナス通信では、データの伝送の開始に先立って、まず、データを伝送するのに必要な帯域を取得し、あらかじめ取得した帯域を使って1サイクル(125 μ s)に一度、少なくとも1パケットのデータの伝送を行う。これによりデータ伝送のリアルタイム性が保証される。

【0003】 一方、上記アシンクロナス通信は、コマンド等のコンピュータデータや静止画データの伝送のように、リアルタイム性が要求されないデータの伝送に用いられる通信方法である。現在、アイソクロナス通信を用いたAVデータの伝送としては、デジタルVCR(Video Cassette Recorder)用データの伝送方法、MPEG2トランスポートストリームのデータの伝送方法等が定義されている。

【0004】 以下、簡単に従来のIEEE1394ネットワークでの通信方法について説明する。図19(a)

20 は、2つの端末装置が上記IEEE1394シリアルバスを介して接続されたネットワークを、また図19

(b)は3つの端末装置が上記IEEE1394シリアルバスを介して接続されたネットワークを、それぞれ模式的に示している。図19(a)のIEEE1394ネットワークは、アイソクロナスパケットを送信する第1のデジタルVCR201と、アイソクロナスパケットを受信する第2のデジタルVCR202と、上記VCR201とVCR202を接続するIEEE1394シリアルバス203により構成されている。

30 【0005】 また、図19(b)のIEEE1394ネットワークは、アイソクロナスパケットを送信する第1のデジタルVCR201と、アイソクロナスパケットを受信する第2のデジタルVCR202と、第3のデジタルVCR205と、上記VCR201とVCR202を接続するIEEE1394シリアルバス203、及び上記VCR202とVCR205を接続するIEEE1394シリアルバス204により構成されている。尚、上記第1のデジタルVCR201は、上記ネットワーク上に125 μ s毎にサイクルスタートパケットを出力するメイン端末装置となっている。また、このメイン端末装置201は、各端末がデータ伝送に使用する周波数帯域の割り当てをも行う構成となっている。

【0006】 上記IEEE1394ネットワークでは、1サイクル期間に対して、アイソクロナス通信に利用される時間と、アシンクロナス通信に利用される時間が割り当てられており、1サイクル期間の80パーセントがアイソクロナス通信に、残りの20パーセントがアシンクロナス通信に利用されるようになってい。そして、各端末装置は、リアルタイム性の要求されるデータについてはアイソクロナス通信によりデータ伝送を行

い、リアルタイム性の要求されないデータについてはア
シクロナス通信によりデータ伝送を行う。

【0007】次に動作について説明する。バスリセット
後、まずパケットを転送できる状態にするため、ツリー
識別によりノード間の親子関係を決定し、複数のノード
からのバスを使用する要求の調停を行うルートノードを
決定する。このツリー識別により、VCR201のノードが
ルートノードに、またVCR202のノードが子
ノードとなる。次に、自ノードと他ノードを識別するた
めの自己識別により、各ノードに識別番号が割り振られ、
VCR201のノードの識別番号がphysical_ID=0と
なり、またVCR202のノードの識別番号がphysica
l_ID=1となる。

【0008】次に、VCR201のノードは、ルートノ
ード201へデータの伝送に使用する帯域の許可(バス
使用权)を求める。ルートノード201は、各ノードか
らの帯域使用の要求(バス使用权)を調停し、順にバス
使用权を各ノードに与える。そしてVCR201のノード
は、バス使用权が許可されると、アイソクロナスパケ
ットの転送に必要な帯域幅、及びチャンネル番号を取得
した後、上記帯域を利用して、1サイクル期間中に少
なくとも一回、アイソクロナスパケットをVCR202
へ伝送する。

【0009】また、図18は、アイソクロナスパケ
ットの送信を説明するための概念図である。図におい
て、206はサイクルスタートパケットであり、207は
調停期間で複数ノードからのリクエストを調停する期
間であり、208はバス使用权を獲得したノードが、パ
ケット伝送準備が出来るまでバスをホールドするデータ
ブレイク期間であり、210はデータエンドでパケ
ット伝送が終了したことを示す期間である。

【0010】ルートノード201は、各サイクル毎にそ
の先頭位置を示すサイクルスタートパケット206を出
力している。そして、VCR201のノードは、バス調
停期間207を経てバス使用权が得られると、パケ
ット伝送準備が完了するまでバスをホールドされ(データ
ブレイク期間208)、パケット伝送準備が完了す
ると、各サイクル毎にアイソクロナスパケット209が
出力される。

【0011】また、アイソクロナス伝送では、図18
(b)に示される様に複数チャンネルの伝送も可能であ
るが、この場合はそれぞれのチャンネル単位で帯域が確保
される。また、IEEE1394におけるこのようなアイ
ソクロナス伝送は、IEEE Std1394-1995の規格書IEEE
Standard for a High Performance Serial BUSに、詳
しく記されている。

【0012】

【発明が解決しようとする課題】しかしながらIEEE
1394シリアルバスでは、1本のバス(ツリー)あた
り最大63ノードの接続しか許されておらず、64台目

以降のノードは接続できない。また複数のバスを、バス
ブリッジを介して接続すると、約64000ノードを接
続することができるが、バスブリッジには、異なるバス
間でアイソクロナスパケットの相互転送を行う機能を有
しておらず、業務用ダビング装置などのように1台のデ
ッキから一度に数百台のデッキにダビング等を行うこと
ができない。

【0013】またIEEE1394では、図19(b)
に示すように、第1のデジタルVCR201から第2
のデジタルVCR202へアイソクロナスパケットの
伝送中に、第3のデジタルVCR205を、バス20
4により第2のデジタルVCR202へ新たに追加接
続すると、バス全体がリセットする動作を起こしてしま
う。そして、このような新たな機器の追加、または機器
の切断等によりバスリセットが生じると、先に確立され
ていた第1のデジタルVCR201から第2のデジ
タルVCR202へのアイソクロナス伝送は、一旦中断
されてしまう。

【0014】本発明は上記問題点に鑑み、IEEE13
94シリアルバス等において、複数のシリアルバスを相
互に接続し、63台以上の機器間でアイソクロナスパケ
ット転送が可能であり、アイソクロナスパケットの転送
を中断せずに機器の追加、切断等を行うことが可能なパ
ケット転送装置、並びに該パケット転送装置によるパケ
ット転送処理をコンピュータに行わせるためのプログラ
ムを格納したデータ記録媒体を提供することを目的とす
る。

【0015】

【課題を解決するための手段】上記問題点を解決するた
めに、請求項1に記載の発明に係るパケット転送装置
は、アイソクロナスパケットの伝送機能を有する第1か
ら第n(nは2以上の自然数)の外部バスの内、任意の第
j(jは1からnの自然数)の外部バスから、任意の第
k(kは1からnの任意の自然数)の外部バスへアイ
ソクロナスパケットを転送する装置であって、任意の第j
の外部バスから任意の第kの外部バスへのアイソクロ
ナスパケットの転送を行う内部バスと、上記内部バスと、
上記第1から第nの各外部バスとを接続し、自らの外部
バス及び、上記内部バスとの間で、アイソクロナスパケ
ットの送受信を行う第1から第n(nは2以上の自然数)
のゲートノードと、アイソクロナスパケットの送受信を
行う任意の第jと任意の第kの外部バスとの間で、外部バ
スの基準時刻を同期させる同期手段と、を有することを
特徴とするものである。

【0016】また、請求項2に記載の発明に係るパケ
ット転送装置は、請求項1に記載のパケット転送装置にお
いて、上記第1から第nのゲートノードは、自らの外部
バス、及び上記内部バスからのパケットの送受信を行う
第1のパケット送受信手段と、受信されたアイソクロ
ナスパケットにタイムスタンプが含まれているか否か、を

判定するタイムスタンプ判定手段と、上記タイムスタンプの位置を検出するタイムスタンプ位置検出手段と、検出された上記タイムスタンプの位置情報に基づき、タイムスタンプにオフセット値を加算、もしくは減算するタイムスタンプオフセット手段と、転送先または転送元の情報、及び内部バスでの送受信に用いる情報とを含む第2のヘッダをアイソクロナスパケットに付加する内部バスヘッダ付加手段と、上記第2のヘッダを付加したアイソクロナスパケットを格納する第1のメモリ手段と、上記第1のメモリ手段に格納されたアイソクロナスパケットに付加された第2のヘッダを先読みし、第1のメモリ手段から内部バスへのアイソクロナスパケットの転送を制御する第1の読み出し制御手段と、を有し、自らの外部バスから受信したアイソクロナスパケットを、内部バスへ転送することを特徴とするものである。

【0017】また、請求項3に記載の発明に係るパケット転送装置は、請求項1または2に記載のパケット転送装置において、上記第1から第nのゲートノードは、内部バスを流れるアイソクロナスパケットより特定のパケットを選択し受信するパケット選択手段と、受信したアイソクロナスパケットを自らの外部バスへ送出するためのチャネルナンバを保持するレジスタ手段と、受信したアイソクロナスパケットのパケットヘッダを、上記レジスタ手段からの出力に基づき書き換えるヘッダ書き換え手段と、上記パケットヘッダの書き換えられたアイソクロナスパケットを格納する第2のメモリ手段と、上記第2のヘッダに含まれるサイクル数と、タイムスタンプに含まれるオフセット値とを加算し、この加算した値と、外部バスの基準サイクルとを比較するサイクル数比較手段と、上記第2のメモリ手段に格納されたアイソクロナスパケットを先読みし、第2のメモリ手段から自らの外部バスへのアイソクロナスパケットの転送を制御する第2の読み出し制御手段と、を有し、内部バスから受信したアイソクロナスパケットを、自らの外部バスへ転送することを特徴とするものである。

【0018】また、請求項4に記載の発明に係るパケット転送装置は、請求項1に記載のパケット転送装置において、上記同期手段は、外部バスとは独立して時間を計時する第1の時計手段と、上記第1の時計手段を基準として、上記外部バスの時間を同期させるバス基準時刻計時手段と、を有することを特徴とするものである。

【0019】また、請求項5に記載の発明に係るパケット転送装置は、請求項4に記載のパケット転送装置において、上記バス基準時刻計時手段は、上記第1の時計手段の示す時刻と、上記外部バスの基準時刻とを、概一致させることを特徴とするものである。

【0020】また、請求項6に記載の発明に係るパケット転送装置は、請求項1に記載のパケット転送装置において、上記同期手段は、上記バス基準時刻計時手段の示す時刻を、他ゲートへブロードキャストするための基準

時刻用バスを有し、任意の、もしくは特定の外部バスの基準時刻に、他の外部バスの基準時刻を同期させることを特徴とするものである。

【0021】また、請求項7に記載の発明に係るパケット転送装置は、請求項6に記載のパケット転送装置において、上記基準時刻用バスは、任意の、もしくは特定の外部バスの基準時刻に、他の外部バスの基準時刻を概一致させることを特徴とするものである。

【0022】また、請求項8に記載の発明に係るパケット転送装置は、請求項5、または7に記載のパケット転送装置において、上記同期手段は、外部バスのサイクル数を表すビットの内、少なくとも下位4ビットを概一致させることを特徴とするものである。

【0023】また、請求項9に記載の発明に係るパケット転送装置は、請求項4から8のいずれかに記載のパケット転送装置において、上記同期手段は、アイソクロナスパケットの伝送サイクル単位の同期精度を有することを特徴とするものである。

【0024】また、請求項10に記載の発明に係るパケット転送装置は、請求項2に記載のパケット転送装置において、上記オフセット手段は、上記第jの外部バスから上記第kの外部バスへパケットを転送するのに要する時間により規定される第1のオフセット値を、上記タイムスタンプに加算することを特徴とするものである。

【0025】また、請求項11に記載の発明に係るパケット転送装置は、請求項2に記載のパケット転送装置において、上記第jの外部バスの基準時刻と、上記第kの外部バスの基準時刻の差により規定される第2のオフセット値を検出する時刻差検出手段を有し、上記タイムスタンプオフセット手段は、上記第1のオフセット値と、上記第2のオフセット値とを加算した値を、上記検出したタイムスタンプに、加算もしくは減算することを特徴とするものである。

【0026】また、請求項12に記載の発明に係るパケット転送装置は、請求項10、または11に記載のパケット転送装置において、上記第1のオフセット値は、固定サイクル値であることを特徴とするものである。

【0027】また、請求項13に記載の発明に係るパケット転送装置は、請求項10、または11に記載のパケット転送装置において、上記第2のオフセット値は、固定サイクル値であることを特徴とするものである。

【0028】また、請求項14に記載の発明に係るパケット転送装置は、請求項1から13のいずれかに記載のパケット転送装置において、調停サイクルを出力する第2の時計手段と、上記第1から第nの各ゲートノードより出力された内部バスを使用する要求を調停し、順にバス使用権を各ゲートノードへ与える内部バス調停手段と、を有し、上記第1から第nの各外部バスから上記内部バスへのアイソクロナスパケットの転送を行うものであることを特徴とするものである。

【0029】また、請求項15に記載の発明に係るバケット転送装置は、請求項14に記載のバケット転送装置において、上記第1の読み出し制御手段は、上記調停サイクルと、上記第1のバケット送受信手段がアイソクロナスバケットを受信したときのサイクル数とを比較し、サイクル数が一致した時にバスを使用する要求を上記内部バス調停手段へ出力し、上記内部バス調停手段よりバス使用権が得られると、上記第1のメモリ手段に格納されているアイソクロナスバケットを内部バスへ送出するように制御し、送出すべきバケットを送出し終えると、上記内部バス調停手段へサイクルダン信号を出力するものであり、上記内部バス調停手段は、上記サイクルダン信号が入力されると、内部バスの使用を要求している次のゲートノードへバス使用権を与えることにより、上記第1から第nの各外部バスに内部バスの使用期間を切替えるものであることを特徴とするものである。

【0030】また、請求項16に記載の発明に係るバケット転送装置は、請求項15に記載のバケット転送装置において、上記第jの外部バスから上記内部バスへアイソクロナスバケットを転送する際、上記第1のメモリ手段は、上記内部バスのバス使用権を獲得するまでの期間、アイソクロナスバケットを格納するものであることを特徴とするものである。

【0031】また、請求項17に記載の発明に係るバケット転送装置は、請求項15に記載のバケット転送装置において、上記内部バスから上記第kの外部バスへアイソクロナスバケットを転送する際、上記第2のメモリ手段は、上記第kの外部バスの使用権を獲得するまでの期間、アイソクロナスバケットを格納するものであることを特徴とするものである。

【0032】また、請求項18に記載の発明に係るバケット転送装置は、請求項16に記載のバケット転送装置において、上記第1のメモリ手段は、FIFOメモリ手段により構成されるものであることを特徴とするものである。

【0033】また、請求項19に記載の発明に係るバケット転送装置は、請求項17に記載のバケット転送装置において、上記第2のメモリ手段は、FIFOメモリ手段により構成されるものであることを特徴とするものである。

【0034】また、請求項20に記載の発明に係るバケット転送装置は、請求項19に記載のバケット転送装置において、上記第2のメモリ手段は、上記内部バスより受信したアイソクロナスバケットを、送信元の外部バス単位で分類して格納するM個（Mは自然数）のFIFOメモリ手段より構成されるものであることを特徴とするものである。

【0035】また、請求項21に記載の発明に係るバケット転送装置は、請求項1に記載のバケット転送装置において、上記第1から第nの外部バスと、上記内部バス

は同一規格のバスであることを特徴とするものである。

【0036】また、請求項22に記載の発明に係るバケット転送装置は、請求項1に記載のバケット転送装置において、上記内部バスの最大伝送レートは、上記第1から第nの外部バスのアイソクロナスバケット最大伝送レートの総和の1/2以下であることを特徴とするものである。

【0037】また、請求項23に記載の発明に係るバケット転送装置は、請求項1に記載のバケット転送装置において、上記第1から第nの外部バスはシリアルバスであり、上記内部バスはパラレルバスであることを特徴とするものである。

【0038】また、請求項24に記載の発明に係るバケット転送装置は、請求項1に記載のバケット転送装置において、上記第1から第nの外部バスのバスクロックと上記内部バスのバスクロックは、同一もしくは同期クロックであることを特徴とするものである。

【0039】また、請求項25に記載の発明に係るバケット転送装置は、請求項1から24のいずれかに記載のバケット転送装置において、上記第1から第nの外部バスは、IEEE1394シリアルバスであることを特徴とするものである。

【0040】また、請求項26に記載の発明に係るバケット転送装置は、請求項1から25のいずれかに記載のバケット転送装置において、上記第1から第nの外部バスは、USB(Universal Serial Bus)であることを特徴とするものである。

【0041】また、請求項27に記載の発明に係る記録媒体は、アイソクロナスバケットの伝送機能を有する第1から第n（nは2以上の自然数）の外部バスと、任意の第j（jは1からnの自然数）の外部バスから、任意の第k（kは1からnの自然数）の外部バスへアイソクロナスバケットを転送するバケット転送処理をコンピュータに行わせるためのバケット転送処理プログラムを格納した記録媒体であって、上記バケット転送処理プログラムは、請求項1から26のいずれかに記載のバケット転送装置によるバケット転送処理をコンピュータに行わせるプログラムを格納したことを特徴とするものである。

【0042】

【発明の実施の形態】（実施形態1）図9は、本実施の形態1によるバケット転送装置100の構成を示す図である。該バケット転送装置100は、アイソクロナスバケット伝送機能を有する外部バス1a～1dと、任意の第jの外部バスから任意の第kの外部バスへアイソクロナスバケットの転送を行うためのアイソクロナスバケット転送機能を有する内部バス21と、外部のバス1と内部バス21を接続し、自の外部バスまたは内部バスとの間でアイソクロナスバケットの送受信を行うゲートノード24a～24dと、外部バスとは独立して絶対時刻

を出力する第1の時刻手段22と、調停サイクルを出力する第2の時刻手段107と、各ゲートからのバスを使用する要求を平等に調停する内部バス調停手段23とを有しており、各ゲートノード24a~24dに上記各外部バス1a~1dが接続されて構成されている。

【0043】なお、上記外部バス1は、IEEE1394シリアルバスであり、上記内部バス21は、デジタルデータ伝送経路を2車線以上有するパラレルバスである。また、上記第1の時計手段22は、ロード機能を持たないフリーランカウンタである。また、本パケット転送装置100の内部バスの最大転送レートは、外部バスの最大転送レートの総和の1/2のレートとする。

【0044】また図15は、上記パケット転送装置100に、複数の機器(ノード)が接続されている様子を示す図である。パケット転送装置100において、ゲートノード24aの外部バスには、第1のデジタルVCR(Video Cassette Recorder)102と、第2のデジタルVCR103と、パーソナルコンピュータ104と、第1のデジタルTV105が接続されている。またゲートノード24bの外部バスには、第3のデジタルVCR100と、第1のSTB(Set Top Box)101が接続されている。また、ゲートノード24cの外部バスには、プリンタ98と、第2のSTB99が接続されている。なお、ゲートノード24dには何も接続されていない。

【0045】また、本実施の形態1のパケット転送装置100では、アイソクロナスパケットの送信もしくは受信を行う場合、パケット転送装置100の端末であるゲートノード24がバスリセット後に、パケットの送受信を行うバスに対して、サイクルマスターノードとなるものとする。つまり、アイソクロナスパケット転送を、外部バス1a~1cで行うものとする、ゲートノード24a~24cが、対応する各外部バス1a~1cに対してサイクルマスターノードとなり、125μs毎にサイクルスタートパケットを出力する。

【0046】また、パケット転送装置100は、パケットの送受信を行う全ての外部バスへ基準時刻を出力することにより、各外部バス1a~1dの基準時刻を統一させている。このように本パケット転送装置100は、パケット送受信する外部バス全体で基準時刻を一致させた上で、パケットの送受信を行う構成となっている。

【0047】また図1は、ゲートノード24を構成するブロック図である。ゲートノード24は、外部バス1と本装置100を接続する接続ポート2と、外部バス1上でパケットを送受信するパケット送受信手段3と、上記第1の時計手段22からの絶対時刻を入力する入力端子16と、上記絶対時刻を取得するバス基準時刻計時手段4と、第1のタイムスタンプが存在するか否かを判定する第1のタイムスタンプ判定手段5と、上記第1のタイムスタンプの位置を検出する第1のタイムスタンプ位置

検出手段6と、上記第1のタイムスタンプ位置検出手段6からの位置情報に基づき、上記第1のタイムスタンプにオフセットを加える第1のタイムスタンプオフセット手段7と、転送先または転送元情報、及び内部バス21での送受信に用いる情報を含む第2のヘッダをアイソクロナスパケット先頭に付加する内部バスヘッダ付加手段8と、上記第2のヘッダを付したアイソクロナスパケットを格納する第1のメモリ手段9と、上記第1のメモリ手段9に格納されたアイソクロナスパケットを先読みし、第1のメモリ手段から上記内部バス21へのアイソクロナスパケットの転送を制御する第1の読み出し制御手段10とを有し、自の外部バスから受信したアイソクロナスパケットを、内部バス21へ送信するよう構成されている。

【0048】また、上記ゲートノード24は、特定のパケットを選択し受信するパケット選択手段11と、自の外部バスへ送出するためのチャンネルナンバを保持するレジスタ手段108と、上記レジスタ108からの出力に基づき、受信したパケットのチャンネルナンバを書き換えるヘッダ書換手段12と、上記ヘッダ書換手段12によりパケットヘッダの書き換えられたアイソクロナスパケットを一時的に格納する第2のメモリ手段13と、上記第2のヘッダに含まれるサイクル数と、タイムスタンプに加えられたオフセットサイクル数とを加算し、この加算したサイクル数と、外部バスの基準時刻とを比較するサイクル数比較手段14と、上記第2のメモリ手段13に格納されたアイソクロナスパケットを先読みし、第2のメモリ手段13から自の外部バスへのアイソクロナスパケットの転送を制御する第2の読み出し制御手段15とを有し、アイソクロナスパケットを内部バス21より受信して、自の外部バスへ転送するように構成されている。また、ゲート制御手段109は、ゲートノードがサイクルマスターになった場合、又は、なれなかった場合、の各場合に合せて、ゲートノード24の動作全体の制御を行うものである。

【0049】ここで上記第1のタイムスタンプオフセット手段7は、第jの任意の外部バスから第kの任意の外部バスへパケットを転送するのに要する時間分を、転送遅延サイクルとして、検出された第1のタイムスタンプに第1のオフセット値を加えるように構成されている。尚、本パケット転送装置100では、タイムスタンプに加えられた、転送遅延分の第1のオフセット値を固定サイクル値とし、この固定サイクル値を3サイクルとして第1のタイムスタンプにオフセットを与えるものとする。

【0050】また上記サイクル数比較手段14では、アイソクロナスパケットの第2ヘッダに含まれるサイクル数に、上記第1のタイムスタンプに加えられたオフセット値(3サイクル)を加算し、加算されたサイクル数と、外部バスの基準時刻、即ちバス基準時刻計時手段4

の示す時刻とを比較して、一致したら第2の読み出し制御手段15へサイクル数一致信号を出力するように構成されている。

【0051】また図5は、上記内部バス付加手段8にて付加される第2のヘッダを示す図である。上記第2のヘッダには、図5(a)に示すように、バケットの先頭に1ワードレットを付加して、上位16ビットは、内部バスへ送信元ゲートを表し、下位16ビットは、外部バスからバケットを受信した際のサイクル数を表す方法や、図5(b)に示すように、バケットの先頭に付加した1ワードレットの上位16ビットは、内部バスの送信先のゲートノードを表し、下位16ビットは、外部バスからバケットを受信した際のサイクル数を表す方法がある。

【0052】また図2は、バス基準時刻計時手段4の構成を示すブロック図である。上記バス基準時刻計時手段4は、上記第1の時計手段の出力する時刻、またはサイクルスタートバケットに記されたバス基準時刻を入力する入力端子25、26と、上記入力端子25及び26からの出力を切替える切り替え手段27と、0から3071をカウントする12ビットカウンタ手段28と、0から7999をカウントする13ビットカウンタ手段29と、0から127をカウントする7ビットカウンタ30と、出力端子31とを有している。

【0053】上記カウンタ28は、3071から0に回帰するとき、キャリア信号をカウンタ29のイネーブル端子に供給する。またカウンタ29は、自のイネーブル端子にキャリア信号が供給されている時のみカウントアップし、7999から0に回帰するとき、キャリア信号をカウンタ30のイネーブル端子に供給する。またカウンタ30は、自のイネーブル端子にキャリア信号が供給されている時のみカウントアップする。

【0054】これら3つのカウンタには、全て24.576MHzが供給されているので、カウンタ28は、 $1/24.576\text{MHz}$ 単位でカウントアップし、カウンタ29は、 $1/24.576\text{MHz} \times 3072 = 125\mu\text{sec}$ 単位でカウントアップし、カウンタ30は、 $125\mu\text{sec} \times 8000 = 1\text{sec}$ 単位でカウントアップするよう構成されている。また、カウンタ29の数値はサイクル数と呼ばれており、アイソクロナスバケット伝送の基準周期である。

【0055】ここで、バス基準時刻計時手段4は、自ノードがサイクルマスタの場合、切り替え手段27は、入力端子25を選択して、第1の時計手段からの基準時刻をロードし、自ノードがサイクルスレーブにならなかった場合、入力端子26を選択して、他ノードがブロードキャストしたサイクルスタートバケットに記される基準時刻をロードするように構成される。また、上記カウンタ28～30は、IEEE1394-1995で規定されているサイクルタイムレジスタと同一のものである。

【0056】また図6は、上記第1のメモリ手段9の構成を示す図である。上記第1のメモリ手段9は、アイソクロナスバケットを入力する入力ポート52と、入力されたアイソクロナスバケットを読み込み格納するFIFOメモリ53と、アイソクロナスバケットを出力する出力端子54と、第1の読み出し制御手段10からの読み出し制御信号を入力する読み出し制御端子55とを有し、FIFOメモリ53に格納されたアイソクロナスバケットは、読み出し制御端子55より入力される読み出し制御信号に基づいて、出力端子54より内部バス21へ出力されるように構成されている。

【0057】また図3は、アイソクロナスバケット、及びDVバケットヘッダ部の構成を示す図である。図3(a)は、上記アイソクロナスバケットの構造を示しており、アイソクロナスバケットは、バケット先頭に付加され、ネットワークの伝送路に関する情報、例えばバケットの長さや、伝送チャンネル等の情報が記されているアイソクロナスバケットヘッダ32と、ヘッダ32が正しく伝送されたかを受信側でチェックするのに用いられるヘッダCRC33と、端末からのデータを伝送するためのデータペイロード37により構成されている。また上記データペイロード37は、CIPヘッダ34と、データフィールド35、及びデータCRC36により構成されており、上記データCRC36は、データペイロード37が正しく伝送されたかを受信側でチェックするのに用いられる。

【0058】まず、上記アイソクロナスバケットヘッダ32の構成の説明をする。上記アイソクロナスバケットヘッダ32では、先頭から16ビット目までの上位16ビットがバケットの長さを示すdata_lengthで、バケットの長さはバイトで記されている。上記data_lengthの次の17ビット目から18ビット目までの2ビットは、CIPヘッダが存在するかどうかを示すtagであり、01bの場合、データペイロードの先頭部分にCIPヘッダが存在することを示している。上記tagの次の19ビット目から24ビット目までの6ビットは、バケットの伝送チャンネルを示すchannelである。また、上記channelの次の25ビット目から28ビット目までの4ビットは、バケットの種類を表すtcodeであり、アイソクロナスバケットの場合、1010bとなる。また、上記tcodeの次の29ビット目から32ビット目までの4ビットは、アプリケーションが用いることが出来るbitsyである。

【0059】次に、上記CIPヘッダの構成34の説明をする。上記tagが01bであるとき、データペイロードの先頭部分にはCIPヘッダが存在する。上記CIPヘッダは、1ワードレット(=32ビット)単位で記述され、先頭の2ビットは、どこまでがCIPヘッダであるかを表している。例えば、デジタルVCR(以下D

Vと記す)の場合、CIPヘッダの第1クワドレットの先頭が00bで、第2クワドレットの先頭が01bであるが、これは、CIPヘッダが2クワドレットであることを示している。以下、パケットはDVの送出したパケットであるとし、第1のクワドレット目より説明する。

【0060】上記CIPヘッダの第1クワドレットの先頭より3ビット目から8ビット目までの6ビットは、パケットの送出元を示すソースノードアイディ(SID)である。上記SIDの次の9ビット目から16ビット目までの8ビットは、データフィールドにデータCRCを加えたときの長さをクワドレット単位で示すDBSであり、デジタルVCRの場合、11110000b=120dとなる。

【0061】また、上記DBSの次の17ビット目から18ビット目までの2ビットは、ソースパケットが分割されているデータブロックの数を示すフラクションナンバー(FN)であり、DV場合は00bとなり分割されていないことを示す。また、上記FNの次の19ビット目から21ビット目までの3ビットは、データブロックサイズを合わせるために追加されたダミーのクワドレット数を示すクワドレットパディングカウント(QPC)である。これは、FN=00bである場合は使われない。

【0062】また、上記QPCの次の22ビット目の1ビットは、ソースパケットヘッダが存在するか否かを表すSPHである。SPHが1bの場合は、ソースパケットヘッダが存在していることを示し、ソースパケットヘッダにはサイクルタイムレジスタの下位25ビットがタイムスタンプとして記録され、MPEG伝送の時に用いられる。また、DVの場合は、SPH=0bで、ソースパケットヘッダが存在しないことを示し、後述するSYTにタイムスタンプは記録されている。また、上記SPHの次の23ビット目から24ビット目までの2ビットは、将来の拡張のために予約されているビットのリザーブ(rsv)である。上記rsvの次の25ビット目から32ビット目までの8ビットは、コンティニューイテイクアウトデータブロック(DBC)である。

【0063】次に、CIPヘッダの第2のクワドレット目の説明をする。CIPヘッダの第2クワドレットの先頭より3ビット目から6ビット目までの6ビットは、フォーマットアイディ(FMT)である。FMT=000000bはDVを表し、FMT=100000bはMPEGを表している。フォーマットが増えれば順次追加されていくが、現在はDVとMPEGが定義されている。

【0064】また、上記FMTの次の9ビット目から16ビット目までの8ビットは、フォーマットディペンデントフィールド(FDF)でありFMTに依存している。DVの場合は、8ビットのうち最初の1ビット目が50/60で画像データのフィールド周波数が50Hzであるか60Hzであるかを示しており、50Hz=1b、

60Hz=0bである。そして、次の2ビット目から6ビット目までの5ビットは、STYPEで0000bが走査線525本、若しくは625本の画像であることを示し、00010bが走査線1125本若しくは1250本の画像であることを示している。例えば、50/60との組み合わせで、000000bが525-60Hz、100000bが625-50Hz、000010bが1125-60Hz、100010bが1250-50Hzを表している。そして、FDFの8ビットのうち残りの2ビットは、将来のために予約されたリザーブビット(Rsv)である。

【0065】また、上記FDFの次の17ビット目から32ビット目までの、第2クワドレットの最後の16ビットはSYTフィールドであり、DVの場合は、サイクルタイムレジスタの下位16ビットのうち、上位4ビットがサイクル数を表し、タイムスタンプとして記録されている。

【0066】また図3(b)は、第1のタイムスタンプオフセット手段7に入力されるDVパケットヘッダ部(アイソクロナスパケットヘッダ、CIPヘッダ)の一例を示している。また図3(c)は、第1のタイムスタンプオフセット手段7から出力されるDVパケットのヘッダ部の一例を示している。この例では、SYTの上位4ビットが0001bから0100bとなっており、3サイクルのオフセットを加算したことを示している。

【0067】次に動作について説明する。本実施の形態1では、アイソクロナスパケットの送受信が外部バス1a~1c間で行われるものとし、特に、第3のデジタルVCR100から送出されたDVのアイソクロナスパケットが、第1のデジタルVCR102へ転送される様子を中心に説明する。

【0068】まず、アイソクロナスパケットの送受信を行う外部バス間の基準時刻が統一される。具体的には、パケット転送装置のゲートノード24a~24cが、バスリセット後に各外部バス1a~1cに対し、ルートノードに決定すると、バス基準時刻計時手段4では、第1の時計手段22の出力する絶対時刻が、入力端子16より入力される。このとき、バス基準時刻計時手段4では、第1の時計手段22の出力する絶対時刻が、切替え手段27で選択された入力端子25より入力されて、カウンタ28、29、30へロードされる。これにより、各ゲートノード24a~24cの第1の時計手段22とバス基準時刻計時手段4は同じ時刻を刻み、各ゲートノード24a~24cのバス基準時刻計時手段4の示す時刻がサイクルスタートパケットに含まれ、各外部バス1a~1cへ、125μs毎にサイクルスタートパケットが出力される。このように、アイソクロナスパケットの送受信を行う各外部バス1a~1cの基準時刻は統一される。

【0069】パケットの送受信を行う外部バス1a~1

c間の基準時刻が統一されると、図3(a)に示すDVアイソクロナスパケットが、第3のデジタルVCR100から送信され、外部バス1bを通過して、接続ポート2よりゲートノード24bの第1のバケット送受信手段3に受信される。

【0070】第1のバケット送受信手段3では、アイソクロナスパケットが受信されると、受信された時のサイクルスタートパケットがバス基準時刻計時手段7へ出力されるとともに、アイソクロナスパケットは、第1のタイムスタンプ判定手段5へ出力される。

【0071】上記バス基準時刻計時手段4では、上記第1のアイソクロナスパケット送受信手段3よりサイクルスタートパケットが入力されると、上記アイソクロナスパケットを受信した瞬間のバス基準時刻計時手段4の示すサイクル数が、サイクル数保持手段106へ出力される。サイクル数保持手段106では、入力されたサイクル数が保持される。

【0072】また上記第1のタイムスタンプ判定手段5では、入力されたアイソクロナスパケットに、タイムスタンプが含まれているか否かチェックされる。このとき、DVであれば、tag=01bのと、C1Pヘッダが存在し、且つ、タイムスタンプが含まれていることがわかる。この第1のタイムスタンプ判定手段5における判定結果と受信バケットは、第1のタイムスタンプ位置検出手段6へ出力される。

【0073】第1のタイムスタンプ位置検出手段6では、第1のタイムスタンプの位置が検出される。このとき、SPH=0b、FMT=000000b、FDF=00000000bであることがチェックされると、SYTにタイムスタンプ(第1のタイムスタンプ)が存在することがわかる。MPEG等では、SPH=1bであった場合、第1のタイムスタンプはSPH内に存在するため、C1Pヘッダのパラメータを用いてSPHの位置が検出される(AV伝送規格参照)。このように第1のタイムスタンプ位置検出手段6では、第1のタイムスタンプの位置が検出され、この第1のタイムスタンプの位置を示す位置情報は、バケットと共に第1のタイムスタンプオフセット手段7へ出力される。

【0074】上記第1のタイムスタンプオフセット手段7では、入力された位置情報に基づき、入力されたバケットの第1のタイムスタンプに、転送に要する時間(転送遅延サイクル)だけオフセットが加えられる。具体的には、図3(c)を参照して、SYTの上位4ビットであるサイクル数0001bに、転送遅延サイクルの3サイクルが加算され、0100bとされる。このように第1のタイムスタンプにオフセットが加えられたバケットは、内部ヘッダ付加手段8に入力される。

【0075】内部ヘッダ付加手段8では、入力されたバケットの先頭に、内部バス21でのバケットの送受信の際に必要な、図5(a)に示す第2のヘッダが付加され

る。このとき、1クワドレットからなる第2ヘッダの上位16ビットは、内部バスへの送信元ゲートを示しており、下位16ビットは、サイクル数保持手段106の保持するサイクル数、つまり外部バス1からバケットを受信した際のサイクル数を示している。この第2のヘッダが付加されたバケットは、第1のメモリ手段9へ出力される。

【0076】上記第1のメモリ手段9では、入力されたバケットが読み込まれ、一時的に格納される。つまり、上記第1のメモリ手段9では、バケットは、入力ポート52より入力し、FIFOメモリ53へ読み込まれ、読み出し制御端子55より読み出し制御信号が入力されるまで格納される。

【0077】ここで、第2の時計手段107では、内部バス調停手段23へ調停サイクル(Arbitration Cycle)が出力されている。そして内部バス調停手段23では、この調停サイクルが各ゲートノード24a~24dの第1の読み出し手段10へ、入力端子17を通して出力されている。

【0078】このとき、上記第1の読み出し制御手段10では、上記第1のメモリ手段9に格納されているアイソクロナスパケットの、バケット先頭に付加された第2ヘッダを先読みし、上記第2ヘッダに含まれる第2のタイムスタンプと、上記第2の時計手段107が示す調停サイクルとの比較を行い、両者が一致すると、バスを使用する要求(Request)を、内部バス調停手段23へ出力する。内部バス調停手段23は、各ゲートからのRequestを平等に調停し、順にバス使用权(Grant)を与える。

【0079】第1の読み出し制御手段10では、バス使用权が内部バス調停手段23より入力されると、第2の時計手段107の示す調停サイクルと一致するバケットを内部バス21へ出力するように、第1のメモリ手段9へ読み出し制御信号を出力する。

【0080】第1のメモリ手段9では、読み出し制御信号が入力されると、入力された読み出し制御信号に基づきバケットが内部バス21へ送出される。そして、第1のメモリ手段9よりバケットを内部バス21へ送出し終えると、第1の読み出し制御手段10では、内部バス調停手段23へ送出すべきバケットを出力し終わったことを示すサイクルダン信号が出力される。また、格納したバケットに送出すべきバケットが存在しない時は、上記第1の読み出し制御手段10より、即座に内部バス調停手段23へサイクルダン信号が出力される。上記第2の時計手段107の示すサイクルを持つバケットが、各ゲートノードより全て内部バス21へ送出されると、第2の時計手段107では、調停サイクルを進める。

【0081】このように、第2の時計手段107の出力する調停サイクルと同じサイクルをもつバケットが、各ゲートノードより順番に内部バス21へ送出されるように、内部バス調停手段23では、各ゲートノードからの

Requestに対して平等に調停が行われるが、このような調停を行って各ゲートノードからパケットを送出する方法を、サイクル制御型調停という。

【0082】次に、上記サイクル制御型調停を経て、内部バス21へ出力されたゲートノード24bからのアイソクロナスパケットを、ゲートノード24aで受信し外部バス1aへ転送する時の、ゲートノード24aにおける動作について説明する。パケット選択手段11では、内部バス21を流れるパケットは、入力端子20を通じて監視されている。具体的には、パケット選択手段11では、図5(b)に示すパケット先頭に付加された第2のヘッダの送信先ゲートが、自ノード、つまりゲートノード24aを示しているかどうか調べ、自ノードを示していれば、内部バス21を流れるパケットが受信され、受信されたパケットは、ヘッダ書き換え手段12へ出力される。

【0083】上記ヘッダ書き換え手段12では、入力されたパケットのチャンネルナンバが、レジスタ手段108の出力するチャンネルナンバに書き換えられ、書き換えられたパケットは第2のメモリ手段13へ出力される。この書換えは、送信元外部バスでのチャンネルナンバが自の外部バスで既に使用されている場合などになされるものであり、書換えの必要の無いときは書き換えることはない。

【0084】また図4(a)は、書き換え前のDVパケットのヘッダ部(アイソクロナスパケットヘッダ、CIPヘッダ)の一例を示しており、図4(b)は、書き換え後のDVパケットのヘッダ部(アイソクロナスパケットヘッダ、CIPヘッダ)の一例を示す。この例では、111111bチャンネルが000001bチャンネルに書き換えられている。更に、必要ならばヘッダの他の部分の書き換えを行っても良い。

【0085】このようにヘッダの書き換えが終了したアイソクロナスパケットは、第2のメモリ手段13へ出力され、一時的に格納される。第2の読み出し制御手段15では、上記第2のメモリ手段に格納されたアイソクロナスパケットから、第2のヘッダと上記第1のタイムスタンプとが先読みされ、読み出されたサイクル数、及び第1のオフセット値はサイクル数比較手段14へ出力される。

【0086】サイクル数比較手段14では、入力されたサイクル数と第1のオフセット値(3サイクル)が加算され、この加算された値と、バス基準時刻計手段76が出力する外部バスの基準時刻との比較が行われる。そして、両者が一致すると、サイクル数一致信号が上記第2の読み出し制御手段15へ出力される。

【0087】第2の読み出し制御手段15では、サイクル数比較手段14よりサイクル数一致信号が入力されると、第2のメモリ手段13へ、格納されたパケットを第1のパケット送受信手段3へ出力するように読み出し制

御信号が出力される。第2のメモリ手段13では、読み出し制御信号が入力されると、格納されたパケットが読み出され、読み出されたパケットは、第1のパケット送受信手段3へ出力される。第1のパケット送受信手段3では、第2のメモリ手段13よりパケットが入力されると、送出するパケットの帯域が確保された後に、外部バス1aへパケットが送出される。

【0088】このように、外部バス1bからのアイソクロナスパケットは、外部バス1aへ送出される。本パケット転送装置100では、外部バスの基準時刻を一致させた上で、パケットの転送遅延に掛かる分だけタイムスタンプオフセットを与えているため、図15の第1のデジタルVCRは、第3のデジタルVCRのパケットを矛盾無く受信できる。

【0089】次に、上記サイクル制御型調停を、図8を用いて具体的に説明する。図8は、サイクル制御型調停を用いて、各ゲートノードから内部バス21へパケットが送出される様子を示す図である。図8(a)は、パケット転送装置が各外部バス1a〜1dより入力されるパケットを示している。このとき外部バス1d上には、サイクルの後半に巨大なアシンクロナスパケットが送信されている。また、図8(b)は、第2の時計手段107の出力する調停サイクルであり、図8(c)は、各ゲートノードより内部バス調停手段23へバスを使用する要求(Request)が出力される様子を示す図である。また図8(d)は、内部バス調停手段23から各ゲートノードへバス使用権(Grant)が出力される様子を示す図であり、図8(f)は、各ゲートノードから内部バス調停手段23へ、送出すべきパケットを送出し終えたことを示すサイクルダン(CycleDone)信号が出力される様子を示す図である。また、図8(e)は、内部バス21に各ゲートノードより送出されたアイソクロナスパケットを示している。

【0090】まず、1aから1dの各ゲートノードでは、第2の時計手段107より出力される調停サイクルと、同じサイクルを持つパケットが、第1のメモリ手段9に格納されていると、バスを使用する要求を、バス使用権が与えられるまで、内部バス調停手段23へ出力し続ける。

【0091】内部バス調停手段23では、各ゲートノードからの要求を平等に調停し、サイクルダン信号に基づき、相互にバスを使用する期間が重ならないように、順に各ゲートへバス使用権を与える。バス使用権が与えられたゲートから順番に内部バス21へパケットが送出され、パケットを送出し終えると、サイクルダン信号が内部バス調停手段23へ出力される。

【0092】このように、第2の時計手段107の出力する調停サイクルと同じサイクルを持つパケットを、全てのゲートノードより送出し終えると、第2の時計手段107は調停サイクルを進める。そして、次の新しい

調停サイクルを持つバケットが、各ゲートノードより順に内部バス21へ送出されることとなる。

【0093】このようにサイクル制御型調停を用いると、外部バス1dのように、サイクルの後半に巨大なアイソクロナスバケットが送信された場合でも、サイクルの逆転を生じずにバケット転送装置が受信した順番にバケットが内部バスへ送信されることとなる。

【0094】また、非サイクル制御型調停を利用した場合について、図7を用いて説明する。非サイクル制御型調停の場合、上記内部バス調停手段23は、第2の時計手段107の示す調停サイクルを各ゲートノードに出力しない。このため、各ゲートノードの第1の読み出し制御手段では、第1のメモリ手段9にバケットが格納されるたびに、内部バス調停手段23へ内部バスを使用する要求が出力される(図7(b))。内部バス調停手段23では、各ゲートノードからのバスの使用要求を平等に調停し、順にバスの使用权を与え(図7(c))、各ゲートノードの読み出し制御手段10では、バス使用权が与えられ、順に内部バスへバケットを送出す(図7(d))。

【0095】しかし、非サイクル制御型調停では、外部バス上でサイクルの後半に、巨大なアイソクロナスバケットが送信された場合、次のサイクルスタートバケットが遅延し、このサイクルで送信されるアイソクロナスバケット(図中Isol31)が遅延するため、内部バス上で、受信サイクル順序の逆転が生じる。つまり、受信サイクル順にバケットを送出するなら、Aの区間に送出されるべきバケットが、Bの位置で送出されてしまうため、サイクル制御型調停のようにより、受信サイクルの順番にバケットが送出されない。

【0096】本実施の形態のバケット転送装置では、第2のメモリ手段13を、唯一のFIFOメモリを用いてバケットを受信するものとしたため、非サイクル制御型調停でのサイクル数の逆転が生じた時に対応できないことにより、サイクル制御型調停を用いなければならない。

【0097】このように本実施の形態1によるバケット転送装置100では、異なる外部バス間でアイソクロナスバケットの転送を行うための内部バスと、内部バスと外部バスとを接続し、外の外部バス及び内部バスととの間でアイソクロナスバケットの送受信を行うゲートノードと、アイソクロナスバケットの送受信を行う外部バス間で基準時刻を同期させる同期手段と、タイムスタンプにオフセット値を加えるオフセット手段と、第1から第n(nは2以上の自然数)の各外部バスによる内部バスの各使用要求を調停し、各外部バス間で、内部バスの使用期間が重ならないように順番にバス使用权を与える調停手段と、を備え、アイソクロナスバケットの送受信を行う外部バス間の基準時刻を同期させた上で、任意の第jの外部バスから内部バスへアイソクロナスバケットが転

送され、受信先の第kのゲートノードでは、バケットの転送遅延に掛かる時間分だけオフセットして、自の外部バスへ転送される動作が行われる。このため、異なる外部バスから送信されたアイソクロナスバケットであっても、そのアイソクロナスバケットを送信した順番に、受信側の機器(ノード)では、アイソクロナスバケットを受信することができ、異なる外部バス間でのアイソクロナスバケットの送受信を矛盾なく行うことができる。

【0098】また、本バケット転送装置100により、異なる外部バス間でのアイソクロナスバケットの送受信が可能となったので、本バケット転送装置100に複数個(x個)の外部バスを接続すると、63xの機器(ノード)を接続することができ、63台以上の機器間でアイソクロナスバケットの相互転送を行うことができる。

【0099】また、本バケット転送装置100では、任意の外部バスにおけるバスリセットは、他の外部バスには影響を与えないため、アイソクロナスバケットの送受信中の外部バスがあっても、その送受信中の外部バス以外の外部バスで、新たな機器の接続、或いは機器の切断を行うことにより、バスリセットに起因するアイソクロナスバケットの転送の中断を生ずることなく正常にアイソクロナスバケットの転送を行うことができる。

【0100】また、本バケット転送装置100の内部バスの最大転送レートは、外部バスの最大転送レートの総和の1/2のレートとしたので、全外部バス最大転送レートを使っていての時のバケットを全て転送することができる。また、内部バスに、デジタルデータ伝送経路を2車線以上を有するパラレルバスを用いたので、高伝送レートを容易に得ることができ、また、外部バスクロックと内部バスクロックを同期させると、アイソクロナスバケットの転送が更に容易となる。なお、本発明のバケット転送装置における内部バスに、外部バスと同一のシリアルバスを用いてもよい。また、外部バスは、帯域が保証された伝送が可能なバスであれば、USB(Universal Serial Bus)など他の外部バスを用いてもよい。また、本実施の形態1では、内部バスへの送出元のゲートノードで、タイムスタンプにオフセット値を加えたが、内部バスからの受信側のゲートノードで行っても良い。

【0101】また、各外部バスの基準時刻は、全て第1の時計手段の時刻に一致させたが、一致させなくともオフセットを持ったまま同期しても良い。この場合、バケットを受信する外部バスとバケットを送信する外部バスのオフセット時間を第2のオフセット値として、第1のタイムスタンプに加えられた第1のオフセット値に、第2のオフセット値を加算もしくは減算すればよい。

【0102】また、本実施の形態1では、アイソクロナスバケットの送受信を行う場合、バケット転送装置の全ての端末がバスリセット後に、バケットの送受信を行うバスに対して、サイクルマスタートノードとなるものと例と

したが、図16のゲートノード24bのように、自ノードがサイクルマスターノードにならなかった場合は、上記ゲートノード24bでは、サイクルマスターノードとなった第1のSTB101からブロードキャストされたサイクルスタートパケットを、第1のパケット受受信手段3で受信し、そのサイクルスタートパケットに記されているバス基準時刻を、バス基準時刻計時手段4へロードして、バス基準時刻計時手段4の時刻をサイクルマスターの示す基準時刻に合わせる。ただしこの時は、外部バス1bと、外部バス1aおよび1cの基準時刻が異なるため、外部バス1bでのアイソクロナスパケットの転送を行うことはできない。

【0103】(実施の形態2)図10は、本実施の形態2によるパケット転送装置を説明するための図であり、ゲートノード64の構成を示すブロック図である。本実施の形態2におけるゲートノード64は、実施の形態1におけるレジスタ手段107に代えて、受信する送信元とそのチャンネルナンバ、及び自の外部バスへパケットを送出するためのチャンネルナンバとを格納するレジスタ113と、実施の形態1における第2のメモリ手段13に代えて、ヘッダ書換え手段12からのパケットを各送信元毎に分類して格納する第2のメモリ手段60と、実施の形態1における第2の読み出し制御手段15に代えて、送信元毎に格納されたパケットを先読みし、パケットの読み出しを制御する第2の読み出し制御手段62と、上記第2のメモリ手段の出力を選択する第2のメモリ選択手段63とを新たに備えたものである。本実施の形態2によるパケット転送装置のその他の構成は、実施の形態1のパケット転送装置100と同一である。

【0104】また図11は、パケット転送装置における上記第2のメモリ手段60の構成を示す図である。第2のメモリ手段60は、ヘッダ書き換え手段12からのパケットを入力する入力端子65と、入力されたパケットの送信元を判断し、送信元毎にパケットを分類する送信元判断手段66と、上記送信元判断手段66からのパケットをそれぞれ各送信元毎に格納する複数のFIFOメモリ手段67〜70と、第2の読み出し制御手段62からの読み出し制御信号を入力する読み出し制御端子75と、上記複数のFIFOメモリ手段67〜70より読み出されたパケットを出力するパケット出力端子71〜74とを有している。

【0105】なお本実施の形態2の第2のメモリ手段60におけるFIFOメモリ手段67〜70では、FIFOメモリ67はゲート64aに、またFIFOメモリ68はゲート64bに、またFIFOメモリ69はゲート64cに、またFIFOメモリ70はゲート64dに、それぞれ対応し、各FIFOメモリは対応するゲートノードからのパケットを格納する。

【0106】また、本実施の形態2におけるパケット転送装置200では、パケット転送装置200の各ゲート

ノード64a〜64dに、複数の機器(ノード)が接続されているものとし、バスリセット後に、各ゲートノード64a〜64dは、対応する外部バス1a〜1dに対してそれぞれルートノードとなるものとする。

【0107】次に動作について説明する。パケット転送装置200の各ゲートノード64a〜64dでは、バスリセット後に、各ゲートノード64a〜64dの各外部バス1a〜1dに対し、ルートノードに決定すると、第1の時計手段22の示す時刻を読み込み、各ゲートノード64a〜64d間の基準時刻が上記第1の時計手段の示す時刻に統一される。パケットの受送信を行う外部バス間で基準時刻が統一されると、実施の形態1と同様の動作で、各ゲートノードから内部バス21へパケットが送出される。

【0108】本実施の形態2では、内部バス21を流れるアイソクロナスパケットを、ゲートノード64aが受信する動作について説明する。ゲートノード64aのパケット選択手段11では、内部バス21を流れるパケットが、入力端子20を通じて監視されている。具体的には、パケット選択手段11では、レジスタ手段113より出力される、受信する送信元とそのチャンネルナンバが、内部バス21を流れるDVパケットの第2のヘッダに含まれる送信元、及びアイソクロナスパケットヘッダに含まれるチャンネルナンバと、一致するかどうかチェックされ、一致した場合、内部バス21よりパケットは受信され、受信されたパケットはヘッダ書換え手段12へ出力される。

【0109】ヘッダ書換え手段12では、パケット選択手段11からのパケットのチャンネルナンバが、レジスタ手段113が出力した、自の外部バス1aへ送出するためのチャンネルナンバに書き換えられる。尚、この書換えは、送信元外部バスでのチャンネルナンバが、自の外部バスで既に使用されている場合になされるものである。書換えの必要が無い場合は書換えことはない。また、必要ならば、ヘッダの他の部分の書換えを行っても良い。このようにヘッダ書換え手段12にて、ヘッダの書換えを終えたパケットは、第2のメモリ手段63へ出力される。

【0110】第2のメモリ手段63では、入力されたパケットは、各送信元毎に分類して一時的に格納される。具体的には、第2のメモリ手段60では、ヘッダの書換えの終了したパケットは、入力端子65より送信元判断手段66へ入力され、送信元判断手段66にて、パケットが送信元毎に分類されて67から70の各FIFOメモリに読み込まれ、読み出し制御信号が入力されるまで格納される。

【0111】このように上記67から70のFIFOメモリに格納されたパケットは、第2の読み出し制御手段62に同時に先読みされる。このとき読み出されたパケット先頭の第2ヘッダに含まれるサイクル数と第1のタ

イムスタンプに加えられたオフセット値は、サイクル数比較手段 61へ出力される。サイクル数比較手段 61では、入力されたサイクル数と、第1のオフセット値(3サイクル)とを加算し、この加算結果と、バス基準時刻計時手段4が出力する基準時刻との比較を行い、一致すると、第2の読み出し制御手段 62へ、サイクル数一致信号が出力される。

【0112】また第2の読み出し制御手段 62では、サイクル数比較手段 61よりサイクル数一致信号が入力されると、第2のメモリ手段 13へ読み出し制御信号が出力され、読み出すバケットが格納された F1FOメモリから、バケットが読み出されてメモリ選択手段 63へ出力される。具体的に、第2のメモリ手段 13では、読み出し制御端子 75から読み出すバケットを格納した F1FOメモリ 68へ読み出し制御信号が出力される。F1FOメモリ 68に読み出し制御信号が入力されると、F1FOメモリ 68に格納されたバケットが読み出され、出力端子 72よりメモリ選択手段 63へ出力される。このとき上記メモリ選択手段 63では、第2のメモリ手段 60における F1FOメモリ 67から 70の出力のうち、F1FOメモリ 68の出力が選択されており、このメモリ選択手段 63に入力されたバケットは、第1のバケット送受信手段 3へ出力される。

【0113】また、F1FOメモリ 68以外に、F1FOメモリ 67、69、70のいずれかで、同時に読み出すと判断された場合は、各 F1FOメモリから順に1バケット単位ずつ読み出しが行われるように、メモリ選択手段 63では F1FOメモリ 67~70の出力が切替えられて入力される。第1のバケット送受信手段 3では、送出するバケットの帯域が確保されると、内部バス 21で受信したゲートノード 64bからのアイソクロナスバケットが、外部バス 1aへ送出される。

【0114】このように本実施の形態 2 によるバケット転送装置では、ゲートノード 64は、各ゲートノードから送出されたバケットを送信元のゲート毎に格納する第2のメモリ手段 60と、第2のメモリ手段 60からの出力を選択するメモリ選択手段 63とを、備えたことで、複数の外部バスから送信されたバケットを、混同することなく同時に受信することができ、自の外部バスの各送信先の機器(ノード)へ同時に転送することができる。

【0115】また、本バケット転送装置の第2のメモリ手段 60は、複数の F1FOメモリを備えているので、非サイクル制御型調停を用いてサイクル数逆転が生じた場合、つまり、各機器(ノード)から送信されたアイソクロナスバケットがサイクルの順番通りに受信側のゲートノードで受信されなかった場合でも、受信側のゲートノードでは、各機器(ノード)からアイソクロナスバケットが送信されたサイクルの順番に、送信先の機器(ノード)へ転送することができ、非サイクル制御型調停でもアイソクロナスバケットの相互転送を矛盾無く行うこ

とができる。

【0116】なお、本実施の形態 2 では、ゲートノード 64aが、複数の他の外部バスから内部バス 21上へ送出されたバケットを、同時に受信する動作を中心に説明したが、上記ゲートノード 64aがバケットを受信している間に、他のゲートノード 64b~64dでも、内部バス 21上の複数の送信元からのバケットを同時に受信し、自の外部バスへ転送することができる。

【0117】(実施の形態 3) 図 14は、本実施の形態 3を説明するためのバケット転送装置 300の構成を示すブロック図である。バケット転送装置 300は、全ての外部バスの基準時刻を統一させるための基準時刻用バス 96と、外部バス間の時刻差を検出する時刻差検出手段 112と、バス基準時刻計時手段 76の示す時刻を他のゲートノードにブロードキャストするためのスイッチ 92a~92dとを有し、各ゲートノードのバス基準時刻計時手段 76は、スイッチ 92を介して基準時刻用バス 96、または時刻差検出手段 112と、接続されている。

【0118】ここで、自ノードがサイクルマスタになれなかったゲートのバス基準時刻計時手段 76では、バス基準時刻計時手段 76の示す時刻が、基準時刻用バス 96を介して、サイクルマスタとなった他ゲートへブロードキャストされ、他ゲートのバス基準時刻計時手段 76では、ブロードキャストされた上記時刻を、基準時刻用バス 96よりロードして、サイクルマスタとなったバスの基準時刻を、サイクルマスタになれなかったバスの基準時刻に合わせ、外部バス間の基準時刻を同一にするように構成されている。

【0119】また、本バケット転送装置 300は、アイソクロナスバケットを送受信する外部バス間で、基準時刻を同一にしない場合、時刻差検出手段は、バケットの送受信を行う外部バス間の時刻差を検出し、受信側のゲートノードで、検出された時刻差の分を転送遅延サイクルと合わせて、自の外部バスへバケットを転送する際に、早めたり遅らせたりすることにより、アイソクロナスバケットのサイクルと、外部バスの基準時刻(基準サイクル)とを同一にするように構成されている。

【0120】また図 13は、バス基準時刻計時手段 76の構成を示すブロック図である。バス基準時刻計時手段 76では、切替手段 83では、第1の時計手段 22の出力する絶対時刻を入力する入力端子 80と、第1のアイソクロナスバケット送受信手段 3で受信したサイクルスタートバケットを入力する入力端子 81と、サイクルスタートバケットを受信する度に、基準時刻用バス 96より基準時刻を入力する入力端子 82とを有する。

【0121】本実施の形態 3では、図 16を参照し、アイソクロナスバケットの送受信を行う外部バス 1a~1cにおいて、本バケット転送装置 300のゲートノード 79aおよび 79cが外部バス 1aおよび 1cに対しサ

イクルマスタートノードとなり、ゲートノード1bは外部バス1bのサイクルマスタートノードにならなかった場合、外部バス1bの第3のデジタルVCR100から外部バス1aの第1のデジタルVCR102へパケットを送信する場合を例に説明する。また、このとき外部バス1bのサイクルマスタートノードは、第1のSTB101になるものとする。なお、パケット転送装置300のゲートノード79a～79cが全てサイクルマスタートノードとなる場合は、実施の形態2と同様の動作を行う。

【0122】次に動作について説明する。バスリセット後にゲートノード79a及びゲートノード79cは、自の外部バス1a及び1cでルートノードになるとともに、サイクルマスタートノードに決定し、その瞬間、第1の時刻計時手段22の出力する絶対時刻が、バス基準時刻計時手段76にロードされ、イクルスタートパケットに上記絶対時刻が記されて外部バス1a及び1cへブロードキャストされる。

【0123】このとき、サイクルマスタートノードにならなかったゲートノード79bでは、サイクルマスタートノードとなった第1のSTB101よりブロードキャストされたイクルスタートパケットが、第1のアイソクロナスパケット送受信手段3より入力され、バス基準時刻計時手段76へ出力される。

【0124】バス基準時刻計時手段76では、入力されたイクルスタートパケットに記された時刻がロードされ、ロードされた時刻は、スイッチ92bを通して基準時刻用バス96へ出力される。具体的には、バス基準時刻計時手段76へ、切替え手段83で入力端子81が選択され、入力端子81よりイクルスタートパケットが入力される。イクルスタートパケットが入力されると、イクルスタートパケットに記された時刻は、カウンタ84、85、86へロードされ、ロードされた時刻は出力端子87より出力される。

【0125】次に、サイクルマスタートノードとなったゲートノード79a及び79cでは、基準時刻用バス96を流れる上記ゲートノード79bの基準時刻が、入力端子77a及び77cよりバス基準時刻計時手段76へそれぞれ入力される。このとき、ゲートノード79a及び79cのバス基準時刻計時手段では、入力された基準時刻がロードされ、ロードされた時刻は、第1のパケット送受信手段にて、イクルスタートパケットに記されて、各外部バス1a及び1cへ出力される。具体的には、バス基準時刻計時手段76では、切替え手段83で入力端子82が選択され、入力端子82より基準時刻用バス96を流れるゲートノード79bの基準時刻が入力される。そして、この入力された時刻はカウンタ84、85、86へロードされ、ロードされた時刻は出力端子87より出力される。

【0126】このように、アイソクロナスパケットの送信もしくは受信を行う外部バスのうち、サイクルマ

スタートノードとなったゲートノード79a及び79cは、サイクルマスタートノードにならなかったゲートノード79bの基準時刻に合わせることで、アイソクロナスパケットの送受信を行う全ての外部バスの基準時刻が統一される。アイソクロナスパケットの送受信を行うバス間の基準時刻が統一されると、第3のデジタルVCR100からアイソクロナスパケットが送信され、ゲートノード79bへ入力される。以下のアイソクロナスパケットの送受信は、実施の形態1と同様の動作で行われる。

【0127】次に、アイソクロナスパケットの送受信を行うバス間で、バスの基準時刻を統一しない場合を説明する。アイソクロナスパケットの送受信を行う外部バス間でバス基準時刻を統一しない場合、ゲートノード79a及び79bにおけるゲート制御手段109a及び109bより、それぞれ時刻差検出手段109の時刻差を検出するように時刻差検出信号が出力されるとともに、バス基準時刻計時手段76a及び76bへ、バス基準時刻計時手段76a及び76bの示す時刻をそれぞれ時刻差検出手段112へ出力するように計時時刻出力信号が出力される。バス基準時刻計時手段76a及び76bでは、ゲート制御手段109a及び109bより計時時刻出力信号が入力されると、バス基準時刻計時手段76a及び76bの示す時刻をそれぞれ出力端子78a及び78bを通して、時刻差検出手段112へ出力される。

【0128】時刻差検出手段112では、上記時刻差検出信号が入力されると、上記バス基準時刻計時手段76a及び76bより入力されたそれぞれの外部バスの基準時刻より、外部バス間の基準時刻の時刻差が検出され、検出された時刻差は第2のオフセット値として、ゲートノード79bの第1のタイムスタンプオフセット手段76bへ出力される。このように、アイソクロナスパケットの送受信を行う外部バス間の基準時刻差が検出されると、第3のデジタルVCR100からアイソクロナスパケットが送信され、ゲートノード79bに受信される。

【0129】以下、アイソクロナスパケットの送受信は、送信側のゲートノード79bでは、第1のタイムスタンプオフセット手段7aがタイムスタンプに、転送遅延分の3サイクルとしての第1のオフセット値と、外部バス間の時刻差としての第2のオフセット値とを加える他は、実施の形態1と同様の動作が行われてアイソクロナスパケットが送信される。

【0130】一方、受信側のゲートノード79aでは、タイムスタンプに加えられる第1のオフセット値と第2のオフセット値の分だけ、パケットを送信するタイミングを、早めたり、遅らせたりして外部バス1aへパケットを送信する。具体的には、サイクル数比較手段14は、パケットの第2ヘッダに含まれるサイクル数に、タイムスタンプに転送遅延サイクル、及び時刻差として加えられた第1と第2のオフセット値を加算し、この加算

した値が外部バス1aの基準時刻と一致するかどうか比較を行う。その他は、実施の形態1と同様の動作が行われて、アイソクロナスバスケットが内部バス2より受信され、自の外部バス1aへ転送される。

【0131】このように、本実施の形態3におけるバスケット転送装置300は、基準時刻用バス96を備え、外部バスに対しサイクルマスターノードになれなかったゲートノードの示す基準時刻に、他のサイクルマスターノードとなれたゲートノードの基準時刻を合わせる構成としたので、アイソクロナスバスケットの送受信を行うゲートノードの中に、サイクルマスターノードとされなかったゲートノードがあっても、アイソクロナスバスケットの送受信を行う外部バス間で基準時刻を同一とすることができ、アイソクロナスバスケットの送受信を行うことができる。

【0132】また、バスケット転送装置300は、時刻差検出手段112を備え、送信側のゲートノードでは、アイソクロナスバスケットの送受信を行う外部バス間の時刻差を検出し、受信側のゲートノードでは、転送遅延サイクルと検出された時刻差の分だけ、アイソクロナスバスケットの、自の外部バスへの転送を、早めたり遅らせたりするように構成したので、異なる外部バス間で、基準時刻を一致させなくてもアイソクロナスバスケットの送受信を行うことができる。

【0133】さらに、上記各実施の形態で示したバスケット転送装置によるバスケット転送処理をソフトウェアにより行うためのバスケット転送処理プログラムを、フロッピーディスク等のデータ記憶媒体に記録するようにすることにより、上記各実施の形態でのバスケット転送処理を、独立したコンピュータシステムにおいて簡単に実現することが可能となる。

【0134】図17は、上記各実施の形態のバスケット転送処理を、上記バスケット転送処理プログラムを格納したフロッピーディスクを用いて、コンピュータシステムにより実施する場合を説明するための図である。図17(a)は、フロッピーディスクの正面からみた外観、断面構造、及びフロッピーディスク本体を示し、図17(b)は、該フロッピーディスク本体の物理フォーマットの例を示している。上記フロッピーディスクFDは、上記フロッピーディスク本体DをフロッピーディスクケースFC内に収容した構造となっている。該フロッピーディスク本体Dの表面には、同心円状に外周からは内周に向かって複数のトラックTrが形成されている。各トラックTrは角度方向に16のセクタSeに分割されている。従って、上記プログラムを格納したフロッピーディスクFDでは、上記フロッピーディスク本体Dは、その上に割り当てられた領域(セクタ)Seに、上記プログラムとしてのデータが記録されたものとなっている。また、図17(c)は、フロッピーディスクFDに対する上記プログラムの記録、及びフロッピーディスクFDに格納し

たバスケット転送処理プログラムを用いたソフトウェアによるバスケット転送処理を行うための構成を示している。

【0135】上記プログラムをフロッピーディスクFDに記録する場合は、コンピュータシステムCsから上記バスケット転送処理プログラムとしてのデータを、フロッピーディスクドライブFDを介してフロッピーディスクFDに書き込む。また、フロッピーディスクFDに記録されたバスケット転送処理プログラムにより、上記バスケット転送装置をコンピュータシステムCs中に構築する場合は、フロッピーディスクドライブFDによりバスケット転送処理プログラムをフロッピーディスクFDから読み出し、コンピュータシステムCsにロードする。

【0136】なお、上記説明では、データ記憶媒体の具体例としてフロッピーディスクを挙げたが、光ディスクを用いても上記フロッピーディスクの場合と同様にソフトウェアによるバスケット転送処理を行うことができる。さらに、データ記憶媒体は上記光ディスクやフロッピーディスクに限るものではなく、ICカード、ROMケース等、プログラムを記録できるものであればどのようなものでもよく、これらのデータ記録媒体を用いる場合でも、上記フロッピーディスク等を用いる場合と同様にソフトウェアによるバスケット転送処理を実施することができる。

【0137】

【発明の効果】以上のように、請求項1に記載の発明に係るバスケット転送装置によれば、アイソクロナスバスケットの伝送機能を有する第1から第n(nは2以上の自然数)の外部バスの内、任意の第j(jは1からnの自然数)の外部バスから、任意の第k(kは1からnの任意の自然数)の外部バスへアイソクロナスバスケットを転送する装置であって、任意の第jの外部バスから任意の第kの外部バスへのアイソクロナスバスケットの転送を行う内部バスと、上記内部バスと、上記第1から第nの各外部バスとを接続し、自らの外部バス及び、上記内部バスとの間で、アイソクロナスバスケットの送受信を行う第1から第n(nは2以上の自然数)のゲートノードと、アイソクロナスバスケットの送受信を行う任意の第jと任意の第kの外部バスとの間で、外部バスの基準時刻を同期させる同期手段と、を有するものとしたので、異なる外部バスに接続された63台以上の機器間で、バスリセットに伴う転送の中断を生じることなく、アイソクロナスバスケットの相互転送を行うことができるという効果がある。

【0138】また、請求項2に記載の発明に係るバスケット転送装置によれば、請求項1に記載のバスケット転送装置において、上記第1から第nのゲートノードは、自らの外部バス、及び上記内部バスからのバスケットの送受信を行う第1のバスケット送受信手段と、受信されたアイソクロナスバスケットにタイムスタンプが含まれているか否か、を判定するタイムスタンプ判定手段と、上記タイム

スタンプの位置を検出するタイムスタンプ位置検出手段と、検出された上記タイムスタンプの位置情報に基づき、タイムスタンプにオフセット値を加算、もしくは減算するタイムスタンプオフセット手段と、転送先または転送元の情報、及び内部バスでの送受信に用いる情報を含む第2のヘッダをアイソクロナスパケットに付加する内部バスヘッダ付加手段と、上記第2のヘッダを付加したアイソクロナスパケットを格納する第1のメモリ手段と、上記第1のメモリ手段に格納されたアイソクロナスパケットに付加された第2のヘッダを先読みし、第1のメモリ手段から内部バスへのアイソクロナスパケットの転送を制御する第1の読み出し制御手段と、を有し、自らの外部バスから受信したアイソクロナスパケットを、内部バスへ転送することを特徴とするものとしたので、異なる外部バス間でアイソクロナスパケットの相互転送を行うことができ、63台以上の機器間でアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0139】また、請求項3に記載の発明に係るパケット転送装置によれば、請求項1または2に記載のパケット転送装置において、上記第1から第nのゲートノードは、内部バスを流れるアイソクロナスパケットより特定のパケットを選択し受信するパケット選択手段と、受信したアイソクロナスパケットを自らの外部バスへ送出するためのチャネルナンバを保持するレジスタ手段と、受信したアイソクロナスパケットのパケットヘッダを、上記レジスタ手段からの出力に基づき書き換えるヘッダ書換え手段と、上記パケットヘッダの書き換えられたアイソクロナスパケットを格納する第2のメモリ手段と、上記第2のヘッダに含まれるサイクル数と、タイムスタンプに含まれるオフセット値とを加算し、この加算した値と、外部バスの基準サイクルとを比較するサイクル数比較手段と、上記第2のメモリ手段に格納されたアイソクロナスパケットを先読みし、第2のメモリ手段から自らの外部バスへのアイソクロナスパケットの転送を制御する第2の読み出し制御手段と、を有し、内部バスから受信したアイソクロナスパケットを、自らの外部バスへ転送することを特徴とするものとしたので、異なる外部バス間でアイソクロナスパケットの相互転送を行うことができ、63台以上の機器間でアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0140】また、請求項4に記載の発明に係るパケット転送装置によれば、請求項1に記載のパケット転送装置において、上記同期手段は、外部バスとは独立して時間を計時する第1の時計手段と、上記第1の時計手段を基準として、上記外部バスの時間を同期させるバス基準時刻計時手段と、を有することを特徴とするものとしたので、異なる外部バス間で基準時刻を同期させることができ、アイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0141】また、請求項5に記載の発明に係るパケット転送装置によれば、請求項4に記載のパケット転送装置において、上記バス基準時刻計時手段は、上記第1の時計手段の示す時刻と、上記外部バスの基準時刻とを、概一致させることを特徴とするものとしたので、異なる外部バス間で基準時刻を同一にさせることができ、アイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0142】また、請求項6に記載の発明に係るパケット転送装置は、請求項1に記載のパケット転送装置において、上記同期手段は、上記バス基準時刻計時手段の示す時刻を、他ゲートノードへブロードキャストするための基準時刻用バスを有し、任意の、もしくは特定の外部バスの基準時刻に、他の外部バスの基準時刻を同期させることを特徴とするものとしたので、自ノードがサイクルマスターノードにならなかったゲートノードも、他の外部バスとの間で、アイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0143】また、請求項7に記載の発明に係るパケット転送装置によれば、請求項6に記載のパケット転送装置において、上記基準時刻用バスは、任意の、もしくは特定の外部バスの基準時刻に、他の外部バスの基準時刻を概一致させることを特徴とするものとしたので、アイソクロナスパケットの送受信を行う外部バス間で基準時刻を同一にしくても、アイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0144】また、請求項8に記載の発明に係るパケット転送装置によれば、請求項5、または7に記載のパケット転送装置において、上記同期手段は、外部バスのサイクル数を表すビットの内、少なくとも下位4ビットを概一致させることを特徴とするものとしたので、アイソクロナスパケットの相互転送を行う外部バス間の基準時刻が同一となりアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0145】また、請求項9に記載の発明に係るパケット転送装置によれば、請求項4から8のいずれかに記載のパケット転送装置において、上記同期手段は、アイソクロナスパケットの伝送サイクル単位の同期精度を有することを特徴とするものとしたので、異なる外部バス間でアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0146】また、請求項10に記載の発明に係るパケット転送装置によれば、請求項2に記載のパケット転送装置において、上記オフセット手段は、上記第jの外部バスから上記第kの外部バスへパケットを転送するのに要する時間により規定される第1のオフセット値を、上記タイムスタンプに加算することを特徴とするものとしたので、アイソクロナスパケットのサイクルと、受信側のゲートノードの基準時刻（基準サイクル）とを同一にさせることができ、異なる外部バス間でアイソクロナス

パケットの相互転送を行うことができるという効果を有する。

【0147】また、請求項1に記載の発明に係るパケット転送装置によれば、請求項2に記載のパケット転送装置において、上記第jの外部バスの基準時刻と、上記第kの外部バスの基準時刻の差により規定される第2のオフセット値を検出する時刻差検出手段を有し、上記タイムスクンプオフセット手段は、上記第1のオフセット値と、上記第2のオフセット値とを加算した値を、上記検出したタイムスタンプに、加算もしくは減算すること

を特徴とするものとしたので、アイソクロナスパケットの相互転送を行う外部バス間で基準時刻を同一にせずに、異なる外部バス間でアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0148】また、請求項12に記載の発明に係るパケット転送装置によれば、請求項10、または11に記載のパケット転送装置において、上記第1のオフセット値は、固定サイクル値であることを特徴とするものとしたので、アイソクロナスパケットのサイクルと、受信側のゲートノードの基準時刻（基準サイクル）とを同一にす

ることができるという効果を有する。

【0149】また、請求項13に記載の発明に係るパケット転送装置によれば、請求項10、または11に記載のパケット転送装置において、上記第2のオフセット値は、固定サイクル値であることを特徴とするものとしたので、アイソクロナスパケットのサイクルと、受信側のゲートノードの基準時刻（基準サイクル）とを同一にすることができるという効果を有する。

【0150】また、請求項14に記載の発明に係るパケット転送装置は、請求項1から13のいずれかに記載のパケット転送装置において、調停サイクルを出力する第2の時計手段と、上記第1から第nの各ゲートノードより出力された内部バスを使用する要求を調停し、順にバス使用権を各ゲートノードへ与える内部バス調停手段と、を有し、上記第1から第nの各外部バスから上記内部バスへのアイソクロナスパケットの転送を行うものであることを特徴とするものとしたので、受信側の機器（ノード）では、送信側の機器（ノード）よりアイソクロナスパケットが送信された順番に受信することができ、異なる外部バス間でのアイソクロナスパケットの相互転送を矛盾無く行うことができるという効果を有する。

【0151】また、請求項15に記載の発明に係るパケット転送装置によれば、請求項14に記載のパケット転送装置において、上記第1の読み出し制御手段は、上記調停サイクルと、上記第1のパケット送受信手段がアイソクロナスパケットを受信したときのサイクル数と比較し、サイクル数が一致した時にバスを使用する要求を上記内部バス調停手段へ出力し、上記内部バス調停手段よりバス使用権が得られると、上記第1のメモリ手段に

格納されているアイソクロナスパケットを内部バスへ送出すように制御し、送出すべきパケットを送出し終わると、上記内部バス調停手段へサイクルダン信号を出力するものであり、上記内部バス調停手段は、上記サイクルダン信号が入力されると、内部バスの使用を要求している次のゲートノードへバス使用権を与えることにより、上記第1から第nの各外部バスによる内部バスの使用期間を切替えるものであることを特徴とするものとしたので、受信側の機器（ノード）では、送信側の機器（ノード）よりアイソクロナスパケットが送信された順番に受信することができ、異なる外部バス間でのアイソクロナスパケットの相互転送を矛盾無く行うことができるという効果を有する。

【0152】また、請求項16に記載の発明に係るパケット転送装置によれば、請求項15に記載のパケット転送装置において、上記第jの外部バスから上記内部バスへアイソクロナスパケットを転送する際、上記第1のメモリ手段は、上記内部バスのバス使用権を獲得するまでの期間、アイソクロナスパケットを格納するものであることを特徴とするものとしたので、送信側の機器（ノード）よりアイソクロナスパケットが送信された順番に、受信側の機器（ノード）へ、アイソクロナスパケットを転送することができるという効果を有する。

【0153】また、請求項17に記載の発明に係るパケット転送装置によれば、請求項15に記載のパケット転送装置において、上記内部バスから上記第kの外部バスへアイソクロナスパケットを転送する際、上記第2のメモリ手段は、上記第kの外部バスの使用権を獲得するまでの期間、アイソクロナスパケットを格納するものであることを特徴とするものとしたので、アイソクロナスパケットを、受信側の外部バスの基準時刻に同期させて、受信側の機器（ノード）へ転送することができるという効果を有する。

【0154】また、請求項18に記載の発明に係るパケット転送装置によれば、請求項16に記載のパケット転送装置において、上記第1のメモリ手段は、FIFOメモリ手段により構成されるものであることを特徴とするものとしたので、送信側の機器（ノード）よりアイソクロナスパケットが送信された順番に、受信側の機器（ノード）へ、アイソクロナスパケットを転送することができるという効果を有する。

【0155】また、請求項19に記載の発明に係るパケット転送装置によれば、請求項17に記載のパケット転送装置において、上記第2のメモリ手段は、FIFOメモリ手段により構成されるものであることを特徴とするものとしたので、アイソクロナスパケットを、受信側の外部バスの基準時刻に同期させて、受信側の機器（ノード）へ転送することができるという効果を有する。

【0156】また、請求項20に記載の発明に係るパケット転送装置によれば、請求項19に記載のパケット転

送装置において、上記第2のメモリ手段は、上記内部バスより受信したアイソクロナスパケットを、送信元の外部バス単位で分類して格納するM個(Mは自然数)のFIFOメモリ手段より構成されるものであることを特徴とするものとしたので、複数の機器(ノード)から送信されたアイソクロナスパケットを同時に受信することができ、受信先の複数の機器(ノード)へ矛盾無く転送することができるという効果を有する。

【0157】また、請求項2に記載の発明に係るパケット転送装置によれば、請求項1に記載のパケット転送装置において、上記第1から第nの外部バスと、上記内部バスは同一規格のバスであることを特徴とするものとしたので、異なる外部バス間でのアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0158】また、請求項2に記載の発明に係るパケット転送装置によれば、請求項1に記載のパケット転送装置において、上記内部バスの最大伝送レートは、上記第1から第nの外部バスのアイソクロナスパケット最大伝送レートの総和の1/2以下であることを特徴とするものとしたので、全外部バスで最大転送レートを使っているときのパケットを全て転送することができるという効果を有する。

【0159】また、請求項2に記載の発明に係るパケット転送装置によれば、請求項1に記載のパケット転送装置において、上記第1から第nの外部バスはシリアルバスであり、上記内部バスはパラレルバスであることを特徴とするものとしたので、高伝送レートを容易に得ることができ、異なる外部バス間でのアイソクロナスパケットの相互転送を容易に実現することができるという効果を有する。

【0160】また、請求項2に記載の発明に係るパケット転送装置によれば、請求項1に記載のパケット転送装置において、上記第1から第nの外部バスのバスクロックと上記内部バスのバスクロックは、同一もしくは同期クロックであることを特徴とするものとしたので、異なる外部バス間でのアイソクロナスパケットの相互転送を容易に実現することができるという効果を有する。

【0161】また、請求項2に記載の発明に係るパケット転送装置によれば、請求項1から24のいずれかに記載のパケット転送装置において、上記第1から第nの外部バスは、IEEE1394シリアルバスであることを特徴とするものとしたので、異なる外部バス間でのアイソクロナスパケットの相互転送を行うことができるという効果を有する。

【0162】また、請求項2に記載の発明に係るパケット転送装置によれば、請求項1から25のいずれかに記載のパケット転送装置において、上記第1から第nの外部バスは、USB(Universal Serial Bus)であることを特徴とするものとしたので、異なる外部バス間でのアイソクロナスパケットの相互転送を行うことができると

いう効果を有する。

【0163】また、請求項27に記載の発明に係る記録媒体によれば、アイソクロナスパケットの伝送機能を有する第1から第n(nは2以上の自然数)の外部バスの内、任意の第j(jは1からnの自然数)の外部バスから、任意の第k(kは1からnの自然数)の外部バスへアイソクロナスパケットを転送するパケット転送処理をコンピュータに行わせるためのパケット転送処理プログラムを格納した記録媒体であって、上記パケット転送処理プログラムは、請求項1から26のいずれかに記載のパケット転送装置によるパケット転送処理をコンピュータに行わせるプログラムを格納したことを特徴とするものとしたので、異なる外部バスに接続された63台以上の機器間で、バリエーションに伴う転送の中断を生じることなく、アイソクロナスパケットの相互転送を行うことができるという効果を有する。

【図面の簡単な説明】

【図1】本実施の形態1のゲートノード24の構成を示すブロック図である。

【図2】本実施の形態1及び2におけるバス基準時刻計時手段4の構成を示すブロック図である。

【図3】図3(a)は、IEEE1394シリアルバスのアイソクロナスパケットを示す構造図であり、図3(b)、及び図3(c)は、DVパケットのヘッダ部(アイソクロナスパケットヘッダ、CIPヘッダ)の一例を示す構造図である。

【図4】図4(a)、及び図4(b)は、DVパケットのヘッダ部(アイソクロナスパケットヘッダ、CIPヘッダ)の一例を示す構造図である。

【図5】図5(a)、及び図5(b)は、アイソクロナスパケット先頭に付加され、内部バスと外部バスとの送受信の際に用いられる内部バスヘッダ(第2のヘッダ)の構成を示す図である。

【図6】本実施の形態1から3における第1のメモリ手段9、及び第2のメモリ手段13の構成を示すブロック図である。

【図7】本発明の非サイクル制御型調停を説明するためのタイムチャート図である。

【図8】本発明のサイクル制御型調停を説明するためのタイムチャート図である。

【図9】本実施の形態1および2におけるパケット転送装置の構成を示すブロック図である。

【図10】本実施の形態2におけるゲートノード64の構成を示すブロック構成図である。

【図11】本実施の形態2における第2のメモリ60の構成を示すブロック図である。

【図12】本実施の形態3におけるゲートノード79の構成を示すブロック図である。

【図13】本実施の形態3におけるバス基準時刻計時手段76の構成を示すブロック図である。

【図 14】 本実施の形態 3 におけるバケット転送装置 300 の構成を示す図である。

【図 15】 本発明のバケット転送装置と、複数の機器（ノード）が接続された複数の外部バスとの接続例を示す図である。

【図 16】 本発明のバケット転送装置と、複数の機器（ノード）が接続された複数の外部バスとの接続例を示す図である。

【図 17】 図 17 (a) 及び (b) は、上記各実施の形態のバケット転送処理をコンピュータシステムにより行うためのバケット転送処理プログラムを格納したデータ記録媒体であり、図 17 (c) は、上記コンピュータシステムを説明するための図である。

【図 18】 図 18 (a)、及び図 18 (b) は、IEEE 1394 のアイソクロナスバケットの送信を表す概念図である。

【図 19】 図 19 (a)、及び図 19 (b) は、従来の、IEEE 1394 シリアルバスと機器（ノード）との接続例を示す図である。

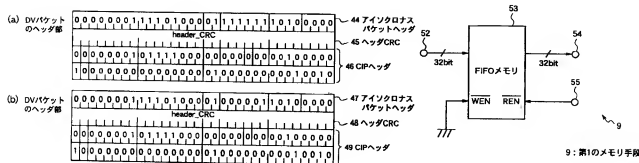
【符号の説明】

- 1, 203, 204 外部バス
- 3 第 1 のアイソクロナスバケット送受信手段
- 4, 76 バス基準時刻計時手段
- 5 第 1 のタイムスタンプ判定手段
- 6 第 1 のタイムスタンプ位置検出手段
- 7 第 1 のタイムスタンプオフセット手段
- 8 内部バスヘッダー付加手段
- 9 第 1 のメモリ手段
- 10 第 1 の読み出し制御手段
- 11 バケット選択手段
- 12 ヘッダ書き換え手段
- 13 第 2 のメモリ手段
- 14 サイクル数比較手段
- 21 内部バス
- 22 第 1 の時計手段

- 23 内部バス調停手段
- 24, 64, 79 ゲートノード
- 27, 83 切り替え手段
- 28, 29, 30, 84, 85, 86 カウンタ手段
- 32, 38, 41, 44, 47 アイソクロナスバケットヘッダ
- 33, 39, 42, 45, 48 ヘッダCRC
- 34, 40, 43, 46, 49 CIPヘッダ
- 35 データフィールド
- 36 データCRC
- 37 バケットデータ
- 50, 51 第 2 のヘッダ（内部バスヘッダ）
- 53, 67, 68, 69, 70 FIFOメモリ
- 66 送信元判断手段
- 92 スイッチ
- 96 基準時刻バス
- 106 サイクル数保持手段
- 107 第 2 の時計手段
- 108, 113 レジスタ手段
- 109 ゲート制御手段
- 112 時刻差検出手段
- 98, 99, 100, 101, 102, 103, 104, 201, 202, 203 端末機器
- 206 サイクルスタートバケット
- 207 調停期間
- 208 データプレフィックス期間
- 209 アイソクロナスバケット
- 210 データエンド期間
- Cs コンピュータシステム
- D フロッピーディスク
- FC フロッピーディスクケース
- FD フロッピーディスク
- FDD フロッピーディスクドライブ
- Se セクタ
- Tr トラック

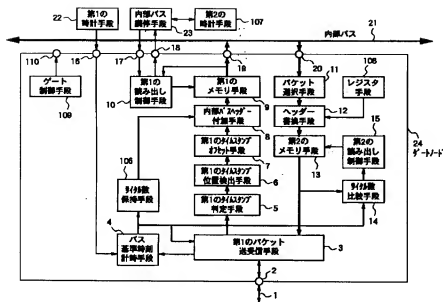
【図 4】

【図 6】

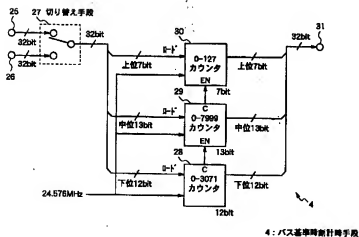


9: 第1のメモリ手段

【図1】

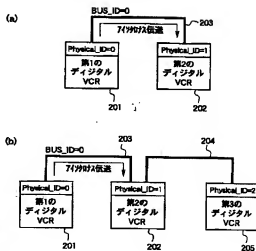


【図2】

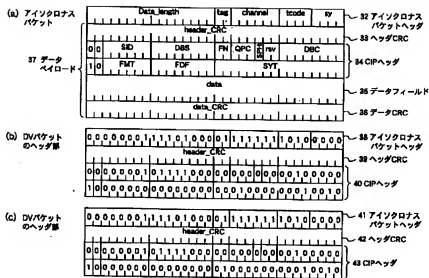


4: バス基準時間計時手段

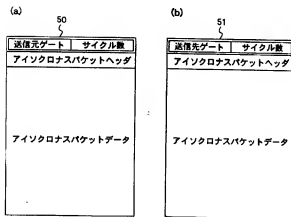
【図19】



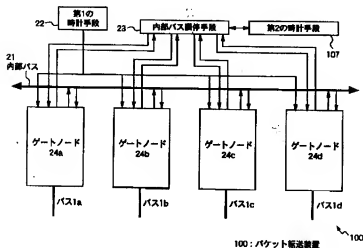
【図3】



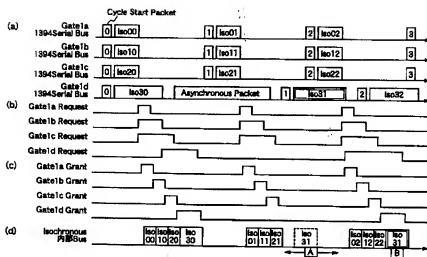
【図5】



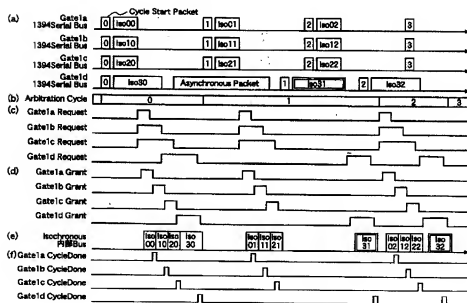
【図9】



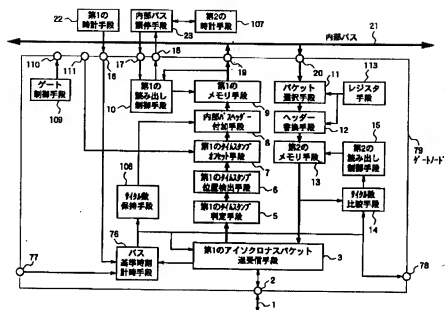
【図 7】



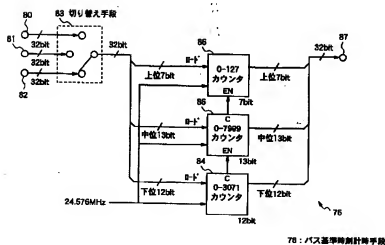
【図 8】



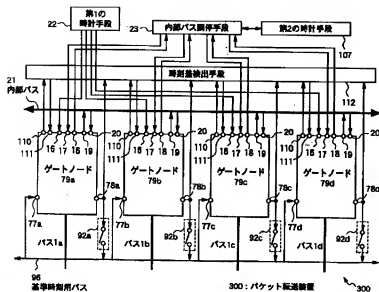
【図12】



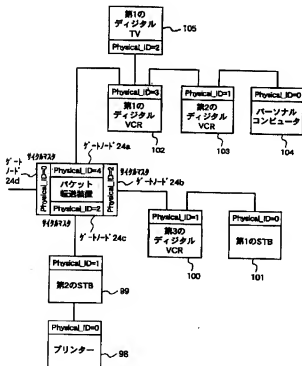
【図13】



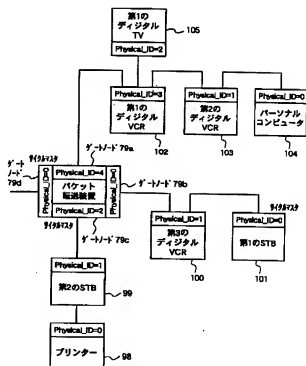
【図14】



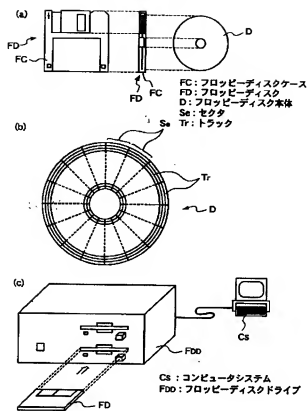
【図15】



【図16】



【図17】



【図 18】

